

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-194014

(P2000-194014A)

(43) 公開日 平成12年7月14日 (2000.7.14)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
G 0 2 F 1/136	5 0 0	G 0 2 F 1/136	5 0 0 2 H 0 9 2
H 0 1 L 29/786		H 0 1 L 29/78	6 1 2 B 5 F 1 1 0
21/336			6 1 6 A
			6 1 7 N

審査請求 未請求 請求項の数18 O L (全 24 頁)

(21) 出願番号 特願平10-374878

(22) 出願日 平成10年12月28日 (1998. 12. 28)

(71) 出願人 000153878

株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72) 発明者 山崎 優

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72) 発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

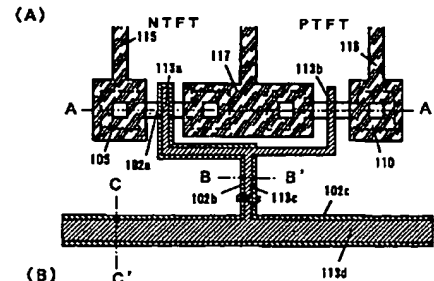
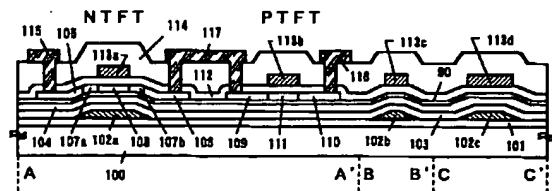
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 信頼性の高いTFT構造を用いた半導体装置を提供する。

【解決手段】 基板100上に形成されたCMOS回路において、Nチャネル型TFTにサブゲート配線（第1配線）102aとメインゲート配線（第2ゲート配線）113aを設ける。LDD領域107a、107bは第1配線102aとは重なり、第2配線113aとは重ならない。このため、第1配線にゲート電圧を印加すればGOLD構造となり、印加しなければLDD構造となる。このように回路仕様に応じてGOLD構造とLDD構造とを使い分けることができる。



100: 基板 101: 下地膜 102a, 102b, 102c: 第1配線 103: 第1絶縁層  
104: 第2絶縁層 105: N+領域 (NTFT) 106: P+領域 (PTFT)  
107a, 107b: 低濃度不純物領域 108: N+形成領域 (NTFT) 109: P+形成領域 (PTFT)  
110: P+領域 (PTFT) 111: N+形成領域 (NTFT) 112: 第2絶縁層  
113a, 113b, 113c, 113d: 第2配線 114: 第1層間絶縁層 115: N+配線 (NTFT)  
116: P+配線 (PTFT) 117: P+配線 (NTFTとPTFTに共通)

## 【特許請求の範囲】

【請求項1】画素TFTと保持容量とを含む画素マトリクス回路を有する半導体装置において、前記画素TFTは、絶縁層を介して第1配線の上に形成されたチャンネル形成領域と、当該チャンネル形成領域に接し、前記第1配線に重なるように形成された低濃度不純物領域と、を有し、前記保持容量は、前記第1配線と同一層に形成された容量配線、前記チャンネル形成領域または前記低濃度不純物領域と同一組成の半導体領域、および前記絶縁層の一部で形成されていることを特徴とする半導体装置。

【請求項2】画素TFTと保持容量とを含む複数の画素を有する半導体装置において、前記画素TFTは、第1絶縁層および第2絶縁層を介して第1配線の上に形成されたチャンネル形成領域と、当該チャンネル形成領域に接し、前記第1配線に重なるように形成された低濃度不純物領域と、を有し、前記保持容量は、前記第1配線と同一層に形成された容量配線、前記チャンネル形成領域または前記低濃度不純物領域と同一組成の半導体領域、および前記第1絶縁層で形成されていることを特徴とする半導体装置。

【請求項3】画素TFTと保持容量とを含む複数の画素を有する半導体装置において、前記画素TFTは、第1絶縁層、第2絶縁層および酸化珪素膜を介して第1配線の上に形成されたチャンネル形成領域と、当該チャンネル形成領域に接し、前記第1配線に重なるように形成された低濃度不純物領域と、を有し、前記保持容量は、前記第1配線と同一層に形成された容量配線、前記チャンネル形成領域または前記低濃度不純物領域と同一組成の半導体領域、および前記第1絶縁層と前記酸化珪素膜とでなる積層膜で形成されていることを特徴とする半導体装置。

【請求項4】請求項1乃至請求項3において、前記第1配線とはタンタル(Ta)、クロム(Cr)、チタン(Ti)、タングステン(W)、モリブデン(Mo)、またはシリコン(Si)から選ばれた元素を主成分とする導電膜、前記元素を組み合わせた合金膜またはシリサイド膜、或いは前記導電膜、合金膜またはシリサイド膜を積層した積層膜であることを特徴とする半導体装置。

【請求項5】請求項1乃至請求項3において、前記画素TFTのチャンネル形成領域と前記保持容量の前記半導体領域とは同一の半導体層で形成されていることを特徴とする半導体装置。

【請求項6】請求項1乃至請求項3において、前記第1絶縁層とはタンタル(Ta)、チタン(Ti)、バリウム(Ba)、ハフニウム(Hf)、ビスマス(Bi)、タングステン(W)、トリウム(Th)、または鉛(Pb)から選ばれた元素を含む酸化物またはハロゲン化物であることを特徴とする半導体装置。

【請求項7】請求項1乃至請求項3において、前記第1

配線はフローティング状態にあることを特徴とする半導体装置。

【請求項8】請求項1乃至請求項3において、前記第1配線は最低電源電位に保持されることを特徴とする半導体装置。

【請求項9】請求項1乃至請求項3において、前記画素TFTはソース配線とゲート配線とに接続され、前記保持容量は前記ソース配線の下および/または前記ゲート配線の下に形成されていることを特徴とする半導体装置。

【請求項10】同一基板上に形成された画素マトリクス回路とドライバー回路とを有する半導体装置において、前記画素マトリクス回路に含まれる画素TFTと前記ドライバー回路に含まれるNチャンネル型TFTとは、絶縁層を介して第1配線の上に形成されたチャンネル形成領域と、当該チャンネル形成領域に接し、前記第1配線に重なるように形成された低濃度不純物領域と、を有し、前記画素マトリクス回路に含まれる保持容量は、前記第1配線と同一層に形成された容量配線、前記チャンネル形成領域または前記低濃度不純物領域と同一組成の半導体領域、および前記絶縁層の一部で形成されており、前記画素TFTに接続された第1配線は最低電源電位に保持され、前記Nチャンネル型TFTに接続された第1配線は、該Nチャンネル型TFTのゲート電極と同電位に保持されることを特徴とする半導体装置。

【請求項11】同一基板上に形成された画素マトリクス回路とドライバー回路とを有する半導体装置において、前記画素マトリクス回路に含まれる画素TFTと前記ドライバー回路に含まれるNチャンネル型TFTとは、第1絶縁層および第2絶縁層を介して第1配線の上に形成されたチャンネル形成領域と、当該チャンネル形成領域に接し、前記第1配線に重なるように形成された低濃度不純物領域と、を有し、前記画素マトリクス回路に含まれる保持容量は、前記第1配線と同一層に形成された容量配線、前記チャンネル形成領域または前記低濃度不純物領域と同一組成の半導体領域、および前記第1絶縁層で形成されており、前記画素TFTに接続された第1配線は最低電源電位に保持され、前記Nチャンネル型TFTに接続された第1配線は、該Nチャンネル型TFTのゲート電極と同電位に保持されることを特徴とする半導体装置。

【請求項12】同一基板上に形成された画素マトリクス回路とドライバー回路とを有する半導体装置において、前記画素マトリクス回路に含まれる画素TFTと前記ドライバー回路に含まれるNチャンネル型TFTとは、第1絶縁層、第2絶縁層および酸化珪素膜を介して第1配線の上に形成されたチャンネル形成領域と、当該チャンネル形成領域に接し、前記第1配線に重なるように形成された低濃度不純物領域と、を有し、前記画素マトリクス回路に含まれる保持容量は、前記第1

1配線と同一層に形成された容量配線、前記チャンネル形成領域または前記低濃度不純物領域と同一組成の半導体領域、および前記第1絶縁層と前記酸化珪素膜とでなる積層膜で形成されており、

前記画素TFTに接続された第1配線は最低電源電位に保持され、前記Nチャンネル型TFTに接続された第1配線は、該Nチャンネル型TFTのゲート電極と同電位に保持されることを特徴とする半導体装置。

【請求項13】請求項10乃至請求項12において、前記第1配線とはタンタル(Ta)、クロム(Cr)、チタン(Ti)、タングステン(W)、モリブデン(Mo)、またはシリコン(Si)から選ばれた元素を主成分とする導電膜、前記元素を組み合わせた合金膜またはシリサイド膜、或いは前記導電膜、合金膜またはシリサイド膜を積層した積層膜であることを特徴とする半導体装置。

【請求項14】請求項10乃至請求項12において、前記画素TFTのチャンネル形成領域と前記保持容量の前記半導体領域とは同一の半導体層で形成されていることを特徴とする半導体装置。

【請求項15】請求項10乃至請求項12において、前記第1絶縁層とはタンタル(Ta)、チタン(Ti)、バリウム(Ba)、ハフニウム(Hf)、ビスマス(Bi)、タングステン(W)、トリウム(Th)、タリウム(Tl)、または鉛(Pb)から選ばれた元素を含む酸化物またはハロゲン化物であることを特徴とする半導体装置。

【請求項16】請求項10乃至請求項12において、前記画素TFTはソース配線とゲート配線とに接続され、前記保持容量は前記ソース配線の下および/または前記ゲート配線の下に形成されていることを特徴とする半導体装置。

【請求項17】請求項1乃至請求項16に記載された半導体装置とは、アクティブマトリクス型液晶ディスプレイまたはアクティブマトリクス型ELディスプレイであることを特徴とする半導体装置。

【請求項18】請求項1乃至請求項16に記載された半導体装置とは、ビデオカメラ、デジタルカメラ、プロジェクター、プロジェクションTV、ゴーグル型ディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末であることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本願発明は薄膜トランジスタ(以下、TFTという)で構成された回路を有する半導体装置に関する。例えば、液晶表示パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器の構成に関する。

【0002】なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を

指し、電気光学装置、半導体回路および電子機器も半導体装置である。

【0003】

【従来の技術】薄膜トランジスタ(以下、TFTという)は透明なガラス基板に形成することができるので、アクティブマトリクス型液晶ディスプレイ(以下、AM-LCDという)への応用開発が積極的に進められてきた。結晶質半導体膜(代表的にはポリシリコン膜)を利用したTFTは高移動度が得られるので、同一基板上に機能回路を集積させて高精細な画像表示を実現することが可能とされている。

【0004】アクティブマトリクス型液晶表示装置は、画面の解像度が高精細になるに従い、画素だけでも100万個のTFTが必要になってくる。さらに機能回路を付加すると、それ以上の数のTFTが必要になり、液晶表示装置を安定に動作させるためには、個々のTFTの信頼性を確保して安定に動作させる必要があった。

【0005】ところが、TFTは必ずしも信頼性の面で単結晶半導体基板に作製されるMOSFETと同等ではないとされている。MOSFETでも問題となっていたように、TFTにおいても長期にわたって動作させると移動度やオン電流が低下するといった現象が起こる。このような現象がおこる原因の一つは、チャンネル電界の増大に伴って発生するホットキャリアによる特性の劣化である。

【0006】一方、MOSFETでは、信頼性を向上させる技術として、LDD(Lightly Doped Drain)構造が良く知られている。この構造は、ソース・ドレイン領域の内側に、さらに低濃度の不純物領域を設けたものであり、この低濃度不純物領域をLDD領域と呼んでいる。この構造はTFTでも採用されている。

【0007】さらにMOSFETでは、ゲート絶縁膜を介して、LDD領域をゲート電極とある程度オーバーラップさせる(重ならせる)構造が知られている。この構造を形成する方法は幾つかあるが、例えば、GOLD(Gate-drain Overlapped LDD)や、LATID(Large-tilt-angle implanted drain)と呼ばれる構造が知られている。このような構造とすることで、ホットキャリア耐性を高めることができた。

【0008】また、こういったMOSFETの構造をTFTに応用しようという試みもなされている。しかしながら、GOLD構造(本明細書中ではゲート電圧が印加されるLDD領域を有する構造をGOLD構造と呼ぶ。逆にゲート電圧が印加されないLDD領域のみを有する構造をLDD構造と呼ぶ。)の場合、LDD構造に比べてオフ電流(TFTがオフ状態にある時に流れる電流)が大きくなってしまいう問題がある。そのため、AM-LCDの画素マトリクス回路のように、オフ電流を極力抑えたい回路に使うには不適切であった。

【0009】

【発明が解決しようとする課題】本願発明では、AM-LCDの各回路を機能に応じて適切な構造のTFTでもって形成し、高い信頼性を有するAM-LCDを提供することを課題とする。延いては、そのようなAM-LCDを有する半導体装置（電子機器）の信頼性を高めることを課題とする。

【0010】また、AM-LCDの画素マトリクス回路においては、オフ電流を極力抑えるためのTFT構造を提供すると共に、保持容量（補助容量ともいう）のキャパシティを改善するための構造を提供することを課題とする。

【0011】

【課題を解決するための手段】本明細書で開示する発明の構成は、画素TFTと保持容量とを含む画素マトリクス回路を有する半導体装置において、前記画素TFTは、絶縁層を介して第1配線の上に形成されたチャネル形成領域と、当該チャネル形成領域に接し、前記第1配線に重なるように形成された低濃度不純物領域と、を有し、前記保持容量は、前記第1配線と同一層に形成された容量配線、前記チャネル形成領域または前記低濃度不純物領域と同一組成の半導体領域、および前記絶縁層の一部で形成されていることを特徴とする。

【0012】また、他の発明の構成は、画素TFTと保持容量とを含む複数の画素を有する半導体装置において、前記画素TFTは、第1絶縁層および第2絶縁層を介して第1配線の上に形成されたチャネル形成領域と、当該チャネル形成領域に接し、前記第1配線に重なるように形成された低濃度不純物領域と、を有し、前記保持容量は、前記第1配線と同一層に形成された容量配線、前記チャネル形成領域または前記低濃度不純物領域と同一組成の半導体領域、および前記第1絶縁層で形成されていることを特徴とする。

【0013】また、他の発明の構成は、画素TFTと保持容量とを含む複数の画素を有する半導体装置において、前記画素TFTは、第1絶縁層、第2絶縁層および酸化珪素膜を介して第1配線の上に形成されたチャネル形成領域と、当該チャネル形成領域に接し、前記第1配線に重なるように形成された低濃度不純物領域と、を有し、前記保持容量は、前記第1配線と同一層に形成された容量配線、前記チャネル形成領域または前記低濃度不純物領域と同一組成の半導体領域、および前記第1絶縁層と前記酸化珪素膜とでなる積層膜で形成されていることを特徴とする。

【0014】なお、上記構成において、前記第1配線としてはタンタル（Ta）、クロム（Cr）、チタン（Ti）、タングステン（W）、モリブデン（Mo）、またはシリコン（Si）から選ばれた元素を主成分とする導電膜、前記元素を組み合わせた合金膜またはシリサイド膜、或いは前記導電膜、合金膜またはシリサイド膜を積層した積層膜を用いれば良い。

【0015】また、前記画素TFTのチャネル形成領域と前記保持容量の前記半導体領域とは同一の半導体層で形成されている点にも特徴がある。

【0016】また、保持容量の誘電体として機能する前記第1絶縁層としてはタンタル（Ta）、チタン（Ti）、バリウム（Ba）、ハフニウム（Hf）、ビスマス（Bi）、タングステン（W）、トリウム（Th）、タリウム（Tl）、または鉛（Pb）から選ばれた元素を含む酸化物またはハロゲン化物を用いれば良い。

【0017】これらの薄膜は10～100程度の高い誘電率を有する薄膜であり、保持容量の誘電体として適している。さらには、PZT（チタン酸ジルコン酸鉛）、BST（チタン酸バリウムストロンチウム）またはY1系材料（タンタル酸ニオブ酸ストロンチウムビスマス）などの強誘電体膜を用いても良い。

【0018】さらに、このような高誘電率膜を用いて形成した保持容量を、画素マトリクス回路のソース配線の下、および／またはゲート配線の下に形成することで開口率を向上させることは有効である。

【0019】また、他の発明の構成は、同一基板上に形成された画素マトリクス回路とドライバー回路とを有する半導体装置において、前記画素マトリクス回路に含まれる画素TFTと前記ドライバー回路に含まれるNチャネル型TFTとは、絶縁層を介して第1配線の上に形成されたチャネル形成領域と、当該チャネル形成領域に接し、前記第1配線に重なるように形成された低濃度不純物領域と、を有し、前記画素マトリクス回路に含まれる保持容量は、前記第1配線と同一層に形成された容量配線、前記チャネル形成領域または前記低濃度不純物領域と同一組成の半導体領域、および前記絶縁層の一部で形成されており、前記画素TFTに接続された第1配線は最低電源電位に保持され、前記Nチャネル型TFTに接続された第1配線は、該Nチャネル型TFTのゲート電極と同電位に保持されることを特徴とする。

【0020】また、他の発明の構成は、同一基板上に形成された画素マトリクス回路とドライバー回路とを有する半導体装置において、前記画素マトリクス回路に含まれる画素TFTと前記ドライバー回路に含まれるNチャネル型TFTとは、第1絶縁層および第2絶縁層を介して第1配線の上に形成されたチャネル形成領域と、当該チャネル形成領域に接し、前記第1配線に重なるように形成された低濃度不純物領域と、を有し、前記画素マトリクス回路に含まれる保持容量は、前記第1配線と同一層に形成された容量配線、前記チャネル形成領域または前記低濃度不純物領域と同一組成の半導体領域、および前記第1絶縁層で形成されており、前記画素TFTに接続された第1配線は最低電源電位に保持され、前記Nチャネル型TFTに接続された第1配線は、該Nチャネル型TFTのゲート電極と同電位に保持されることを特徴とする。

【0021】また、他の発明の構成は、同一基板上に形成された画素マトリクス回路とドライバー回路とを有する半導体装置において、前記画素マトリクス回路に含まれる画素TFTと前記ドライバー回路に含まれるNチャネル型TFTとは、第1絶縁層、第2絶縁層および酸化珪素膜を介して第1配線の上に形成されたチャネル形成領域と、当該チャネル形成領域に接し、前記第1配線に重なるように形成された低濃度不純物領域と、を有し、前記画素マトリクス回路に含まれる保持容量は、前記第1配線と同一層に形成された容量配線、前記チャネル形成領域または前記低濃度不純物領域と同一組成の半導体領域、および前記第1絶縁層と前記酸化珪素膜とでなる積層膜で形成されており、前記画素TFTに接続された第1配線は最低電源電位に保持され、前記Nチャネル型TFTに接続された第1配線は、該Nチャネル型TFTのゲート電極と同電位に保持されることを特徴とする。

【0022】

【発明の実施の形態】〔実施形態1〕本願発明の実施の形態について、Nチャネル型TFT（以下、NTFTという）とPチャネル型TFT（以下、PTFTという）を組み合わせたCMOS回路（インバータ回路）を例にとって説明する。

【0023】なお、断面構造は図1（A）に示し、上面図は図1（B）に示す。また、図1（A）、（B）は同一の符号を用いて説明する。また、図1（B）のA-A'、B-B'、C-C'で切った時の断面図は図1（A）においてA-A'、B-B'、C-C'で示した各断面図に対応する。

【0024】まず、図1（A）において、100は基板、101は下地膜、102a、102b、102cは第1配線、103は第1絶縁層、104は第2絶縁層、90は活性層の下地となる酸化珪素膜である。NTFTの活性層は、ソース領域105、ドレイン領域106、低濃度不純物領域（LDD領域）107a、107b、チャネル形成領域108で形成される。また、PTFTの活性層は、ドレイン領域109、ソース領域110、チャネル形成領域111で形成される。

【0025】また、112は第2絶縁層、その上には導電膜で形成された第2配線113a、113b、113c、113dを有する。また、114は第1層間絶縁層、115～117は第3配線であり、115、116がソース配線（ソース電極を含む）、117がドレイン配線（ドレイン電極を含む）である。

【0026】以上のような構造でなるCMOS回路において、基板100としてはガラス基板、石英基板、金属基板、ステンレス基板、プラスチック基板、セラミックス基板またはシリコン基板を用いることができる。シリコン基板を用いる場合は予め表面を酸化して酸化珪素膜を設けておくと良い。

【0027】また、下地膜101としては酸化珪素膜、

窒化珪素膜、酸化窒化珪素膜など珪素を主成分とする絶縁膜を用いても良いが、酸化タンタル膜のように緻密で堅い絶縁膜を用いることも好ましい。

【0028】また、第1配線は図1（B）に示すように同一パターンからなる配線であるが、説明の便宜上、部分ごとに102a、102b、102cに区別した。ここでは第1配線102aは活性層との交差部、第1配線102bはTFT間の接続部、第1配線102cは各回路に共通の電源供給部を指し示している。

【0029】この時、第1配線102aはNTFTのサブゲート電極として機能する。即ち、チャネル形成領域108の電荷制御は第1配線102aと、第1配線102aと同電位（または所定の電位）が与えられた第2配線（メインゲート電極）113aとで行われ、第1配線102aのみがLDD領域107a、107bにゲート電圧（または所定の電圧）を印加することができるような構造となっている。

【0030】従って、第2配線113aのみをゲート電極として機能させた場合はGOLD構造にならない（LDD構造となる）が、第1配線102aと組み合わせることで初めてGOLD構造を実現することができる。この構造の利点は後述するとして、さらに、この第1配線102aは遮光層としての機能をも兼ねている。

【0031】なお、第1配線の材料としては導電性を有していればどのような材料を用いても構わない。ただし、後のプロセス温度に耐えうる耐熱性を有する材料であることが望ましい。例えばタンタル（Ta）、クロム（Cr）、チタン（Ti）、タングステン（W）、モリブデン（Mo）、またはシリコン（Si）から選ばれた元素を主成分（成分比が50%以上）とする導電膜、或いは前記元素を組み合わせた合金膜やシリサイド膜、さらにはそれら導電膜、合金膜またはシリサイド膜を組み合わせた積層膜を用いても構わない。

【0032】具体的には、タンタル膜、クロム膜、またはタングステンシリサイド膜とシリコン（珪素）膜との積層膜が好ましい。タングステンシリサイド膜とシリコン膜との積層膜を用いる場合、活性層に近い側にシリコン膜を設けるような構造とすることが好ましい。

【0033】また、本実施形態の特徴としては、第1配線102aがNTFTのみに設けられ、PTFTには設けられない点が挙げられる。図1（A）の場合、PTFTはオフセット領域もLDD領域も形成されていないが、どちらか一方または両方を備えていても構わない。

【0034】このような構造であるため、図1（B）に示すように第1配線は電源供給部から接続部を経由してNTFTに至り、NTFTのサブゲート電極として機能することになる。

【0035】また、第2配線も全て同一パターンからなる配線であるが、説明の便宜上、部分ごとに区別した。区別の仕方は第1配線とほぼ同様であり、図1（A）に

において、113aがNTFTの活性層との交差部、113bがPTFTの活性層との交差部、113cがTFT間の接続部、114dが電源供給部である。

【0036】第2配線は導電膜であれば如何なる膜を用いてもよく、タンタル(Ta)膜、クロム(Cr)膜、チタン(Ti)膜、タングステン(W)膜、モリブデン(Mo)膜、シリコン(Si)膜を自由に組み合わせて形成することができる。また、これらの合金膜やシリサイド膜を用いても構わない。さらに、同種または異種の導電膜を積層して形成しても構わない。

【0037】以上のように、本実施形態のCMOS回路にはNTFTに第1配線(サブゲート配線)が設けられ、第1配線に第2配線(メインゲート配線)と同じ電圧を印加するか、所定の電圧を印加することでNTFTをGOLD構造とすることができる。

【0038】[実施形態2] 本願発明の実施の形態について、NTFTを画素TFTとして用いた画素マトリクス回路を例にとって説明する。なお、この画素マトリクス回路は「実施形態1」で説明したCMOS回路と同一の基板上に同時に形成されるため、同一名称で記載された配線に関する詳細は「実施形態1」の記載を参考にすれば良い。

【0039】なお、断面構造は図2(A)に示し、上面図は図2(B)に示す。また、図2(A)、(B)は同一の符号を用いて説明する。また、図2(B)のA-A'、B-B'で切った時の断面図は図2(A)においてA-A'、B-B'で示した各断面図に対応する。

【0040】まず、図2(A)において、200は基板、201は下地膜、202a~202cは第1配線、203は容量配線、204は第1絶縁層、205は第2絶縁層、91は活性層の下地となる酸化珪素膜である。画素TFT(NTFT)の活性層は、ソース領域206、ドレイン領域207、低濃度不純物領域(LDD領域)208a~208d、チャネル形成領域209a、209bで形成される。

【0041】なお、画素TFTはダブルゲート構造を例示しているが、シングルゲート構造でも良いし、三つ以上のTFTを直列に接続したマルチゲート構造としても構わない。また、ソース領域とドレイン領域は画素TFTが充電するか放電するかで入れ替わることは言うまでもない。

【0042】この時、容量配線203と半導体領域210(具体的にはドレイン領域207から延長した部分)との間で第1絶縁層204および酸化珪素膜91を誘電体とする保持容量が形成される。この際、第1絶縁層204としてはタンタル(Ta)、チタン(Ti)、バリウム(Ba)、ハフニウム(Hf)、ビスマス(Bi)、タングステン(W)、トリウム(Th)、タリウム(Tl)、または鉛(Pb)から選ばれた元素を含む酸化物またはハロゲン化物を用いることができる。

【0043】これらの酸化物は高い比誘電率を示すことが知られており、10~100程度の誘電率を示す。本実施形態の特徴の一つは、このような高誘電率膜を保持容量の誘電体として用いることにある。例えば、酸化タンタル膜は比誘電率が25であり、容易にスパッタ法で形成することができるので好適である。

【0044】なお、誘電体の一部となる酸化珪素膜91は第1絶縁層204と半導体領域210との界面が反応してしまうのを防ぐバリア層として設けている。また、活性層となる半導体層を形成する際、酸化珪素膜91と半導体層とを大気解放しないで連続的に成膜することが好ましい。これにより大気中のボロン等の元素が活性層の下表面に付着して汚染されることを防ぐことができる。

【0045】また、第2絶縁層211の上には第2配線212a、212b、212cが設けられる。第2配線212aはいわゆるゲート配線であり、212b、212cが実質的なゲート電極である。

【0046】また、213は第1層間絶縁層、214、215は第3配線であり、214がソース配線(ソース電極を含む)、215がドレイン配線(ドレイン電極を含む)である。さらに、その上には第2層間絶縁層216、ブラックマスク217a、217b、第3層間絶縁層218、画素電極219が設けられる。

【0047】また、第1配線は図2(B)に示すように同一パターンからなる配線であるが、説明の便宜上、部分ごとに202a、202b、202cに区別した。ここでは第1配線202aはゲート電極として機能しない配線部、202b、202cは活性層との交差部であり、ゲート電極として機能する部分である。

【0048】なお、ここに示した第1配線は「実施形態1」で説明した第1配線と同時に形成される。従って、材料等の説明は省略する。

【0049】この時、第1配線202b、202cは画素TFTの遮光膜として機能する。即ち、「実施形態1」で説明したようなサブゲート配線としての機能はなく、固定電位にしておくか、フローティング状態(電氣的に孤立した状態)にしておく。即ち、画素TFTにおいてはTFTの動作に影響を与えず、遮光膜としてのみ機能するような電位に保持しておくことが必要である。

【0050】固定電位としては、少なくともビデオ信号の最低電位(具体的にはビデオ信号が-8~8Vで振幅するならば-8Vを指す)よりも低い電位、好ましくは形成される回路全体の最低電源電位または最低電源電位よりも低い電位にしておくことが望ましい。

【0051】例えば、AM-LCDの場合、ドライバ回路やその他の信号処理回路と画素マトリクス回路とで様々な電源供給線が形成され、それぞれに所定の電位が与えられている。即ち、ある基準となる最低電位があり、それを基準として様々な電圧が形成される。最低電

源電位とは、それら回路の全てにおいて基準となる最低電位を指す。

【0052】第1配線を上述のような電位に保持しておくことで、ホットキャリア注入によって発生したホールをチャネル形成領域から引き抜くことが可能となり、ホールの蓄積によるパンチスルー現象を防ぐことができる。

【0053】このようにチャネル形成領域209a、209bの電荷制御は第1配線212bと第1配線212cとで行われ、LDD構造として動作する。これによりオフ電流の増加を効果的に抑制することができる。

【0054】なお、画素TFT部では第1絶縁層204、第2絶縁層205および酸化珪素膜91とで形成された積層膜が、第1配線202b、202cとチャネル形成領域212b、212cとの間に存在する。構造上、ここに寄生容量が形成されてしまうが、この寄生容量（マルチゲート構造の場合は各ゲート電極下に形成される寄生容量の総和）が保持容量の3分の1以下（好ましくは10分の1以下）であればTFTの動作には影響を与えない。

【0055】このように本実施形態に示した画素マトリクス回路では画素TFTとしてNTFTが用いられ、その構造は「実施形態1」で説明したCMOS回路のNTFTと同一構造（シングルゲート構造とダブルゲート構造との違いは除外する）である。しかしながら、CMOS回路では第1配線に所定電圧を印加してサブゲート配線として用いることでGOLD構造を実現したのに対し、画素マトリクス回路では第1配線を固定電位またはフローティング状態にしてLDD構造として用いる点に違いがある。

【0056】即ち、本願発明の最大の特徴は、同一基板上に同一構造のNTFTを形成しておき、第1配線（サブゲート配線）に印加する電圧の有無によってGOLD構造とLDD構造とを使い分ける点にある。これにより工程数を増やすことなく、最適な回路設計が可能となるのである。

【0057】以上に示した本願発明の構成について、以下に示す実施例でさらに詳細に説明する。

【0058】

【実施例】[実施例1] 本実施例では、「実施形態1」で説明したCMOS回路の作製方法について説明する。説明には図3を用いる。

【0059】まず、基板300としてガラス基板を用意し、その上に200nm厚の酸化タンタル膜をスパッタ法で形成して下地膜301とした。さらに、その上に第1配線302a、302b、302cを形成した。第1配線の材料としては、スパッタ法によりタンタル膜を形成して用いた。タンタル膜の表面は酸化膜を設けても良かった。

【0060】勿論、第1配線302a、302b、302

cは導電性を有する膜であれば良いので、他の金属膜や合金膜等またはそれらの積層膜を用いても構わない。なお、テーパ角の小さいパターン形成が可能な膜を用いると平坦性を向上させることができるため有効である。

【0061】次に、再びスパッタ法により酸化タンタル膜を形成した。本実施例では膜厚を10～500nm（好ましくは50～300nm、さらに好ましくは100～200nm）とした。ここで形成された酸化タンタル膜303は画素マトリクス回路では保持容量の誘電体として用いられる。

【0062】なお、酸化タンタル膜以外にもバリウム（Ba）、ハフニウム（Hf）、ビスマス（Bi）、タングステン（W）、トリウム（Th）、タリウム（Tl）、または鉛（Pb）から選ばれた元素を含む酸化物を用いることも可能である。基本的には比誘電率が10以上（好ましくは20以上）の薄膜であれば如何なる材料を用いても良い。

【0063】次に、珪素（シリコン）を含む絶縁膜となる第2絶縁層304を形成した。本実施例ではまず50nmの窒化珪素膜を成膜し、その上に80nmの酸化珪素膜を積層した構造を採用した。勿論、酸化珪素膜単層でも良いし、 $\text{SiO}_x\text{Ny}$ （ $x/y=0.01\sim100$ ）で示される酸化窒化珪素膜（窒化酸化珪素膜ともいう）を用いても良い。

【0064】酸化窒化珪素膜を用いる場合、窒素の含有量を酸素の含有量よりも多くすることで耐圧を向上させることが可能である。また、窒化珪素膜中にボロンを添加することにより熱伝導性を高め、放熱効果を向上させることは有効である。

【0065】次に、10nm厚の酸化珪素膜92を形成し、その上に50nm厚の非晶質珪素膜（図示せず）を大気解放しないで連続的に形成した。本出願人は活性層の下表面に付着した大気中のボロンがTFT特性（特にしきい値電圧）に悪影響を与えることを突き止めている。しかしながら、本実施例のように薄い酸化珪素膜と非晶質珪素膜とを連続形成することで、このような問題を解決することができた。さらに、この酸化珪素膜は画素マトリクス回路において保持容量の誘電体となる酸化タンタル膜が活性層と反応することを防ぐバリア層としても機能する。

【0066】次に、特開平7-130652号公報（米国出願番号08/329,644または米国出願番号08/430,623に対応）の技術を用いて非晶質珪素膜の結晶化を行い、結晶質珪素膜（図示せず）を得た。同公報記載の技術は、触媒元素を用いて熱結晶化する方法であり、本実施例では触媒元素としてニッケルを用いた。

【0067】さらに、本実施例では特開平10-270363号公報（米国出願番号09/050,182に対応）に記載された技術を用いて、結晶化後に不要となっ

たニッケルを結晶質珪素膜中から除去した。

【0068】特開平10-270363号公報に記載された技術は、結晶化に用いた触媒元素を結晶化後にリンのゲッターリング作用を用いて除去する技術である。同技術を用いることで、結晶質半導体膜中の触媒元素の濃度を $1 \times 10^{17}$ atoms/cm<sup>3</sup>以下、好ましくは $1 \times 10^{16}$ atoms/cm<sup>3</sup>にまで低減することができる。

【0069】次に、形成した結晶質珪素膜をパターンニングして活性層305、306を形成した。なお、本実施例では活性層に用いる半導体膜として非晶質珪素膜を結晶化した結晶質珪素膜を用いたが、他の半導体膜として微結晶珪素膜を用いても構わないし、直接結晶質珪素膜を成膜しても良い。また、珪素膜以外に、シリコンゲルマニウム膜等の化合物半導体膜を用いることも可能である。

【0070】なお、活性層305、306を形成する前または後で結晶質珪素膜中に13族に属する元素および/または15族に属する元素を添加しても良い。ここで添加される元素はTFTのしきい値電圧を制御するための元素である。

【0071】例えば、まず13族に属する元素としてボロンを結晶質珪素膜全体に添加してプラス方向のしきい値制御を行い、次に選択的にリンを添加してマイナス方向のしきい値制御を行って、NTFTおよびPTFTのしきい値電圧が所望の値になるように調節すれば良い。

【0072】次に、活性層305、306を覆って、酸化珪素膜、酸化窒化珪素膜、窒化珪素膜またはそれらの積層膜でなる第3絶縁層307を形成した。ここではプラズマCVD法で酸化窒化珪素膜を100nmの厚さに形成した。この第3絶縁層は第2配線をメインゲート配線として用いる際のゲート絶縁膜として機能する。

【0073】次に、後に第2配線となる200nm厚のタンタル膜308を形成した。タンタル膜308の成膜方法はスパッタ法でもCVD法でも良い。

【0074】こうして図3(A)の状態が得られたら、レジストマスク309a、309bを形成し、タンタル膜308をエッチングした。こうしてタンタル膜でなる第2配線310aが形成された。この第2配線310aは図1(A)の第2配線(メインゲート配線)113aに相当する。また、タンタル膜310bはNTFTとなる領域以外を隠すようにして残される。

【0075】次に、15族に属する元素(代表的にはリンまたは砒素)を添加し、低濃度不純物領域311、312を形成した。本実施例では15族に属する元素としてリンを用い、質量分離を行わないイオンドーピング法を用いて添加した。また、添加条件としては、加速電圧を90keVとし、 $1 \times 10^{16} \sim 1 \times 10^{19}$ atoms/cm<sup>3</sup>(好ましくは $5 \times 10^{17} \sim 5 \times 10^{18}$ atoms/cm<sup>3</sup>)の濃度でリンが添加されるようにドーズ量を調節した。この濃度が後にLDD領域の不純物濃度になるので精密に制

御する必要がある。(図3(B))

【0076】なお、本明細書中ではこのような条件で行われた不純物添加工程をリン(n-)の添加工程という。

【0077】次に、レジストマスク309a、309bを除去し、新たにレジストマスク313a~313dを形成した。そしてタンタル膜310bをエッチングして第2配線314a~314cを形成した。この第2配線314a~314cはそれぞれ順に図1(A)の第2配線113b、113c、113dに相当する。

【0078】次に、13族に属する元素(代表的にはボロンまたはガリウム)を添加し、ドレイン領域315、ソース領域316を形成した。また、このとき同時にPTFTのチャネル形成領域317が画定した。本実施例では13族に属する元素としてボロンを用い、質量分離を行わないイオンドーピング法を用いて添加した。添加条件としては、加速電圧を75keVとし、 $1 \times 10^{19} \sim 5 \times 10^{21}$ atoms/cm<sup>3</sup>(好ましくは $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm<sup>3</sup>)の濃度でボロンが添加されるようにドーズ量を調節した。(図3(C))

【0079】なお、本明細書中ではこのような条件で行われた不純物添加工程をボロン(p++)の添加工程という。

【0080】次に、レジストマスク313a~313dを除去した後、再びレジストマスク318a~318dを形成した。本実施例では、これらのレジストマスクは裏面露光法を用いて形成した。即ち、レジストマスク318a、318c、318dは第1配線がマスクとなり、レジストマスク318bは第2配線がマスクとなっている。この時、第1配線をマスクとなる場合は少し光の回り込みがあるので、第1配線よりも線幅が細くなる。この線幅は露光条件によって制御することが可能である。即ち、この回り込み量を制御することでLDD領域の幅(長さ)を制御することができる。

【0081】勿論、これらのレジストマスクを、マスクを用いて形成することもできる。その場合、パターン設計の自由度は高くなるがマスク枚数が増えてしまう。

【0082】こうしてレジストマスク318a~318dが形成されたら、15族に属する元素(本実施例ではリン)の添加工程を行った。ここでは加速電圧を90keVとし、 $1 \times 10^{19} \sim 5 \times 10^{21}$ atoms/cm<sup>3</sup>(好ましくは $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm<sup>3</sup>)の濃度でリンが添加されるようにドーズ量を調節した。

【0083】なお、本明細書中ではこのような条件で行われた不純物添加工程をリン(n+)の添加工程という。

【0084】この工程によりNTFTのソース領域319、ドレイン領域320、LDD領域321およびチャネル形成領域322が画定した。また、この工程ではPTFTのドレイン領域323とソース領域324にもリ



ンが添加されるが、前工程でさらに高い濃度のボロンが添加されていれば、N型に反転しないためP型を維持したままとする。

【0085】こうしてNTFTおよびPTFTに一導電性を付与する不純物元素を添加したら、ファーンズアニール法、レーザーアニール法、ランプアニール法またはそれらの手法を併用して不純物元素の活性化を行った。

【0086】こうして図3(D)の状態が得られたら、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、樹脂膜またはそれらの積層膜でなる第1層間絶縁層325を形成した。そしてコンタクトホールを開けてソース配線326、327、ドレイン配線328を形成した。(図3(E))

【0087】本実施例では第1層間絶縁層325として、最初に窒化珪素膜を50nm形成し、さらに酸化珪素膜を950nm形成した2層構造とした。また、本実施例ではソース配線326、327およびドレイン配線328を、チタン膜100nm、チタンを含むアルミニウム膜300nm、チタン膜150nmをスパッタ法で連続して形成した3層構造の積層膜をパターンニングして形成した。

【0088】こうして図3(E)に示すような構造のCMOS回路が完成した。本実施例のCMOS回路は図1(A)に示した構造であり、それについての説明は「実施形態1」で詳細に説明したのでここでの説明は省略する。また、図1(A)の構造を得るにあたって、本実施例の作製工程に限定される必要はない。例えば、NTFTをダブルゲート構造とし、PTFTをシングルゲート構造とするようなことも可能である。

【0089】なお、本実施例で説明したCMOS回路はAM-LCDにおいてはドライバー(駆動)回路(シフトレジスタ回路、バッファ回路、レベルシフト回路、サンプリング回路など)やその他の信号処理回路(分割回路、D/Aコンバータ回路、 $\gamma$ 補正回路、オペアンプ回路など)を構成する基本単位回路である。

【0090】本実施例ではNTFTの第1配線をサブゲート配線として用いることで実質的なGOLD構造を実現することができ、ホットキャリア注入による劣化を防ぐことができる。従って、非常に信頼性の高い回路を形成することができる。

【0091】〔実施例2〕本実施例では「実施形態2」で説明した画素マトリクス回路の作製方法について説明する。説明には図4、図5を用いる。なお、画素マトリクス回路は同一基板上において、実施例1に示したCMOS回路と同時に形成されるため、実施例1の作製工程に対応させて説明する。従って、必要に応じて図3と同じ符号を使って説明することとする。

【0092】まず、ガラス基板300上に酸化タンタル膜でなる下地膜301を形成し、その上に第1配線401a、401b、401c、容量配線402を形成した。

なお、第1配線401aは図2(A)の第1配線202aに、第1配線401bは図2(A)の第1配線202bに、第1配線401cは図2(A)の第1配線202cに相当する。

【0093】また、容量配線402は図2(A)の容量配線203に相当する。また、これら第2配線および容量配線の材料は実施例1で説明した通りである。

【0094】次に、実施例1を参考にして第1絶縁層303、第2絶縁層304を形成した。第2絶縁層304を形成したら、ここで保持容量を構成する容量配線402上において第2絶縁層304を選択的にエッチングして、第1絶縁層303を露呈させる。この第1絶縁層の露呈した部分が後に保持容量の誘電体として機能する部分となる。

【0095】こうして第2絶縁層304のエッチングが終了したら、酸化珪素膜92と非晶質珪素膜(図示せず)を大気解放しないで連続的に形成し、実施例1に示した結晶化工程とゲッタリング工程を経て画素TFTの活性層403を形成した。

【0096】この時、活性層は第1配線401b、401cに重なる部分で画素TFTを形成し、容量配線402と重なる部分で保持容量を形成する。即ち、画素TFTと保持容量とは活性層を通じて物理的にも繋がっている。

【0097】こうして活性層403を形成したら、第2絶縁層307、タンタル膜308を形成した。こうして図4(A)の状態が得られた。なお、同時形成されているCMOS回路は図3(A)の状態にある。

【0098】次に、レジストマスク404a~404cを形成し、タンタル膜308のエッチングを行った。こうして第2配線405a~405cが形成された。なお、第2配線405aは図2(A)の第2配線212aに、第2配線405bは図2(A)の第2配線212bに、第2配線405cは図2(A)の第2配線212cに相当する。

【0099】次に、後にLDD領域を形成するためのリン(n-)の添加工程を行い、低濃度不純物領域406~408を形成した。この工程は図3(B)の工程に対応する。従って、図4(B)の工程において、第2配線の材料や膜厚、およびリンの添加条件は実施例1と同様である。

【0100】次に、図3(C)に相当する工程を行った。この工程では、画素マトリクス回路においてはレジストマスク409で全面を覆い、ボロンが全く添加されないようにした。(図4(C))

【0101】次に、レジストマスク409を除去した後、裏面露光法によりレジストマスク410a~410dを形成した。そして、リン(n+)の添加工程を行い、ソース領域411、ドレイン領域412、LDD領域413a~413dおよびチャネル形成領域414a、414bを形成した。この時、裏面露光条件やリンの添加条

件等は実施例1の図3(D)の工程に従えば良い。

【0102】なお、図4(D)では説明の便宜上、ソース領域やドレイン領域と記載したが、画素TFTの場合は画素への充電時と放電時とでソース領域とドレイン領域が逆転するので明確な区別はない。

【0103】また、415で示される領域(保持容量の電極として機能する半導体領域)はレジストマスク410dで隠されるため、結果的にLDD領域413a~413bと同濃度でリングが添加された領域(同一組成の領域)となる。この領域は、第1配線402に電圧を印加することで電極として機能させることができ、第1配線402、第1絶縁層303および半導体領域415で保持容量が形成される。

【0104】なお、図4(B)の工程で容量配線402の上にレジストマスクを形成すれば半導体領域415をチャネル形成領域414a、414bと同一組成の、真性または実質的に真性な半導体領域とすることも可能である。

【0105】このように、本実施例はチャネル形成領域または低濃度不純物領域(LDD領域)と、保持容量の電極として機能する半導体領域とが同一の半導体層で形成されている点も特徴としている。

【0106】こうしてリンおよびボロンの添加工程が終了したら、実施例1と同様に不純物元素の活性化工程を行った。そして、第1層間絶縁層325を形成し、コンタクトホールを形成してソース配線416、ドレイン配線417を形成した。こうして図4(E)の状態を得た。この時、CMOS回路は図3(E)の状態となっている。

【0107】次に、ソース配線416およびドレイン配線417を覆って第2層間絶縁層418を形成した。本実施例ではパッシベーション膜として30nm厚の窒化珪素膜を形成し、その上に700nm厚のアクリル膜を形成した。勿論、酸化珪素膜など珪素を主成分とする絶縁膜を用いても良いし、他の樹脂膜を用いても良い。他の樹脂膜としては、ポリイミド膜、ポリアミド膜、BCB(ベンゾシクロブテン)膜などを使用することができる。

【0108】次に、100nm厚のチタン膜でなるブラックマスク420a、420bを形成した。ブラックマスク420a、420bは遮光性を有する膜であれば他の膜を用いても良い。代表的にはクロム膜、アルミニウム膜、タンタル膜、タングステン膜、モリブデン膜、チタン膜またはそれらの積層膜を用いれば良い。

【0109】次に第3層間絶縁層421を形成した。本実施例では1μm厚のアクリル膜としたが、第2層間絶縁層と同様の材料を用いることができる。

【0110】次に、第3層間絶縁層421にコンタクトホールを形成し、透明導電膜(代表的にはITO膜)でなる画素電極422を形成した。この時、画素電極42

2はドレイン配線417と電気的に接続される。従って、コンタクトホールは非常に深いものとなるので、内側の側壁がテーパー形状または曲面を有するように形成すると画素電極が断線するなどの不良を防ぐのに有効であった。

【0111】なお、本実施例ではドレイン配線417を介して画素TFTと画素電極422が電気的に接続されているが、画素TFTのドレイン領域412に対して直接画素電極422を接続するような構造としても構わない。

【0112】こうして図5(A)に示すような構造の画素マトリクス回路が完成した。なお、本実施例では画素電極として透明導電膜を用いて透過型AM-LCDを作製する例を示したが、画素電極として反射率の高い金属膜(アルミニウムを主成分とする金属膜など)を用いることで容易に反射型AM-LCDを作製することが可能である。

【0113】また、図5(A)の状態となった基板をアクティブマトリクス基板という。本実施例では、実際にAM-LCDを作製した場合の構造も併せて説明する。

【0114】図5(A)の状態が得られたら、画素電極422上に配向膜423を80nmの厚さに形成した。次に、対向基板を作製した。対向基板はガラス基板424上にカラーフィルタ425、透明電極(対向電極)426、配向膜427を形成したものを準備した。そして、それぞれの配向膜423、427に対してラビング処理を行い、シール材(封止材)を用いてアクティブマトリクス基板と対向基板とを貼り合わせた。そして、その間に液晶428を保持させた。

【0115】なお、セルギャップを維持するためのスペーサは必要に応じて設ければ良い。従って、対角1インチ以下のAM-LCDのようにスペーサがなくてもセルギャップを維持できる場合は特に設けなくても良い。

【0116】こうして図5(B)に示す構造のAM-LCD(画素マトリクス回路の部分)が完成した。本実施例に示した第2層間絶縁層418と第3層間絶縁層421は実際には実施例1に示したCMOS回路上にも形成されることになる。また、ブラックマスク420a、420bや画素電極422を形成すると同時に、それらを構成する材料で配線を形成し、その配線をAM-LCDのドライバー回路や信号処理回路の引き回し配線(第4配線または第5配線)として用いることも可能である。

【0117】本実施例の場合、画素TFTに設けられた第1配線401b、401cは最低電源電位に設定した。こうしておくことで、ホットキャリア注入によってドレイン端部に生じたホール(正孔)を第1配線に引き抜くことができるため、信頼性の向上に適した構造となる。勿論、第1配線401b、401cをフローティング状態にしておくこともできるが、その場合にはホールの引き抜き効果を期待できない。

【0118】〔実施例3〕本実施例では本願発明の画素マトリクス回路やCMOS回路（具体的にはCMOS回路で形成されたドライバー回路や信号処理回路）を具備したAM-LCDの外観を図6に示す。

【0119】アクティブマトリクス基板601には画素マトリクス回路602、信号線駆動回路（ソースドライバー回路）603、走査線駆動回路（ゲートドライバー回路）604、信号処理回路（信号分割回路、D/Aコンバータ回路、 $\gamma$ 補正回路等）605が形成され、FPC（フレキシブルプリントサーキット）606が取り付けられている。なお、607は対向基板である。

【0120】ここでアクティブマトリクス基板601上に形成された各種回路をさらに詳しく図示したブロック図を図7に示す。

【0121】図7において、701は画素マトリクス回路であり、画像表示部として機能する。また、702aはシフトレジスタ回路、702bはレベルシフト回路、702cはバッファ回路である。これらでなる回路が全体としてゲートドライバー回路を形成している。

【0122】なお、図7に示したAM-LCDのブロック図ではゲートドライバー回路を、画素マトリクス回路を挟んで設け、それぞれで同一ゲート配線を共有している。即ち、どちらか片方のゲートドライバーに不良が発生してもゲート配線に電圧を印加することができるという冗長性を持たせている。

【0123】また、703aはシフトレジスタ回路、703bはレベルシフト回路、703cはバッファ回路、703dはサンプリング回路であり、これらでなる回路が全体としてソースドライバー回路を形成している。画素マトリクス回路を挟んでソースドライバー回路と反対側にはプリチャージ回路14が設けられている。

【0124】本願発明を用いることで図6に示したような回路を有するAM-LCDの信頼性を大幅に向上させることができる。その際、ドライバー回路や信号処理回路を形成するCMOS回路は実施例1に従えばよく、画素マトリクス回路は実施例2に従えば良い。

【0125】〔実施例4〕本実施例では、「実施形態1」に示したCMOS回路や「実施形態2」に示した画素マトリクス回路の構造を異なるものとした場合について説明する。具体的には、回路の要求する仕様に依りて構造を異ならせる例を示す。

【0126】なお、CMOS回路の基本構造は図1（A）に示した構造、画素マトリクス回路の基本構造は図2（A）に示した構造であるため、本実施例では必要箇所のみに符号を付して説明することとする。

【0127】まず、図8（A）に示した構造はNTFTのソース側のLDD領域をなくし、ドレイン側のみにLDD領域801を設けた構造である。ドライバー回路や信号処理回路に用いられるCMOS回路は高速動作を要求されるため、動作速度を低下させる要因となりうる抵

抗成分は極力排除する必要がある。

【0128】本願発明のCMOS回路の場合、サブゲート配線として機能する第1配線にゲート電圧を印加することによってGOLD構造を実現し、ホットキャリア注入による劣化を防いでいる。しかしながら、ホットキャリア注入が生じるのはチャンネル形成領域のドレイン領域側の端部であり、その部分にゲート電極とオーバーラップした（重なった）LDD領域が存在すれば良い。

【0129】従って、必ずしもチャンネル形成領域のソース領域側の端部にはLDD領域を設けておく必要はなく、却ってソース領域側に設けられたLDD領域が抵抗成分として働いてしまう恐れがある。そのため、図8（A）のような構造とすることは動作速度を改善する上で有効である。

【0130】なお、図8（A）の構造はソース領域とドレイン領域とが入れ替わる画素TFTのような動作をする場合には適用できない。CMOS回路の場合、通常はソース領域およびドレイン領域が固定されるため、図8（A）のような構造を実現することができる。

【0131】次に、図8（B）は基本的には図8（A）と同様であるが、LDD領域802の幅が図8（A）よりも狭く形成されている。具体的には0.05～0.5 $\mu\text{m}$ （好ましくは0.1～0.3 $\mu\text{m}$ ）とする。図8（B）の構造はソース領域側の抵抗成分をなくすだけでなく、ドレイン領域側の抵抗成分を極力減らすような構造となっている。

【0132】このような構造は実際にはシフトレジスタ回路のように3～5Vといった低電圧で駆動し、高速動作を要求するような回路に適している。動作電圧が低いのでLDD領域（厳密にはゲート電極にオーバーラップしたLDD領域）が狭くなってもホットキャリア注入の問題は顕在化しない。

【0133】勿論、場合によってはシフトレジスタ回路のみNTFTのLDD領域を完全になくすようなこともできる。その場合、同じドライバー回路内でも、シフトレジスタ回路のNTFTにはLDD領域がなく、他の回路には図1（A）や図8（B）に示した構造を採用するようなこともできる。

【0134】次に、図8（C）はNTFTをダブルゲート構造、PTFTをシングルゲート構造としたCMOS回路の例である。この場合、チャンネル形成領域803、804のドレイン領域に近い側のみの端部にLDD領域805、806を設ける。

【0135】図3（D）に示したようにLDD領域の幅は裏面露光工程における光の回り込み量で決定するが、マスク合わせによってレジストマスクを形成すれば自由にマスク設計を行うことができる。図8（C）に示した構造においてもマスクを用いれば片側のみにLDD領域を設けることは容易である。

【0136】しかし、本実施例のようにゲート配線（第

2配線)807a、807bと第1配線808、809とをずらして形成することで、裏面露光法を用いても片側のみにLDD領域を形成することが可能となる。

【0137】このような構造とすることでソース領域側のLDD領域による抵抗成分をなくし、ダブルゲート構造とすることでソースドレイン間にかかる電界を分散させて緩和する効果がある。

【0138】次に、図8(D)の構造は画素マトリクス回路の一実施形態である。図8(D)の構造の場合、ソース領域またはドレイン領域に近い片側のみにLDD領域809、810を設ける。即ち、二つのチャネル形成領域811と812の間にはLDD領域を設けない構造とする。

【0139】画素TFTの場合、充電と放電を繰り返す動作を行うためソース領域とドレイン領域とが頻繁に入れ替わることになる。従って、図8(D)の構造とすることでどちらがドレイン領域となってもチャネル形成領域のドレイン領域側にLDD領域を設けた構造となる。逆に、チャネル形成領域811と812の間の領域は電界集中がないので抵抗成分となるLDD領域をなくした方がオン電流(TFTがオン状態にある時に流れる電流)を大きくするには有効である。

【0140】なお、図8(A)～(D)の構造において、ソース領域側のチャネル形成領域の端部にはLDD領域を設けない構造としているが、幅の狭いものであれば設けられていても構わない。そのような構造はマスク合わせによってレジストマスクを形成しても良いし、第1配線と第2配線の位置を調節した上で裏面露光法を用いて形成しても良い。

【0141】なお、本実施例の構成は実施例1、2と組み合わせられることは言うまでもなく、実施例3に示したAM-LCDに用いても良い。

【0142】〔実施例5〕本実施例では図1(A)に示したCMOS回路や図2(A)に示した画素マトリクス回路において、第2配線の一部の構造を変えた場合の例を図9に示す。なお、図9(A)において図1(A)または図2(A)と同じ構成の部分には同一の符号を付している。

【0143】図9(A)のCMOS回路は、第2配線のうち電源供給部に相当する部分のみ第1導電層901a、第2導電層901bとを積層して形成した積層膜901で構成する。本明細書中では901で示した配線構造をクラッド構造と呼ぶ。

【0144】このようなクラッド構造において、第1導電層901aの材料としてはタンタル、チタン、クロム、タングステン、モリブデン、またはシリコンから選ばれた元素を主成分とする導電膜、或いは前記元素を組み合わせた合金膜やシリサイド膜を用いることができる。また、第2導電層901bの材料としては銅またはアルミニウムを主成分とする(成分比が50%以上)金

属膜を用いることが望ましい。

【0145】このような構造とした場合、第2配線の電源供給部(図1(B)の113dで示される部分)は第1導電層901aを第2導電層901bで覆った構造となる。ただし、この構造では第1導電層901aの構成元素であるアルミニウムや銅が第3絶縁層(第2配線の下地になる絶縁層)中に拡散する恐れがある。そのため、第3絶縁層の表面に窒化珪素膜を設けておくと、アルミニウムや銅の拡散を効果的に防止することが可能である。

【0146】また、本実施例の構造は画素マトリクス回路に対しても適用できる。図9(B)の画素マトリクス回路は、ゲート配線がタンタル膜のみの単層構造であり、ゲート配線の中でも配線抵抗を抑えたい部分(ゲート配線のうちゲート電極として機能しない部分)には上記クラッド構造を採用している。

【0147】勿論、図9(A)、図9(B)に示した回路はどちらも同一基板上に同時形成されることは言うまでもない。

【0148】また、実施例3のAM-LCDに適用することもできるし、実施例4に示した構成と組み合わせることも可能である。

【0149】〔実施例6〕本実施例では図1(A)に示したCMOS回路や図2(A)に示した画素マトリクス回路において、NTFTのLDD領域の配置を異なるものとした場合の例を図10に示す。なお、図10(A)において図1(A)または図2(A)と同じ構成の部分には同一の符号を付している。

【0150】図10(A)に示したCMOS回路では、NTFTのゲート電極11がLDD領域12a、12bに重なっている部分と重なっていない部分とを有する構造となっている。この構造において、ゲート電極11がLDD領域12a、12bに重なっている部分の長さは0.1～3.5 $\mu\text{m}$ (代表的には0.1～0.5 $\mu\text{m}$ 、好ましくは0.1～0.3 $\mu\text{m}$ )とし、ゲート電極11がLDD領域12a、12bに重なっていない部分の長さは0.5～3.5 $\mu\text{m}$ (代表的には1.5～2.5 $\mu\text{m}$ )とすれば良い。

【0151】このような構造では、ゲート電極11とLDD領域12a、12bとが重なる部分では実質的にGO-LD構造と同様の効果を示し、重ならない部分では実質的にLDD構造と同様の効果を示す。なお、この重なり加減はマスク合わせで決定しても良いし、光の回り込み量の制御によって実現しても良い。

【0152】このような構造の特徴としては、ゲート電極に重なったLDD領域によりオン電流の劣化が防がれ、さらにその外側に設けられたゲート電圧が印加されないLDD領域によりオフ電流の増加が防がれる。従って、CMOS回路において、オフ電流も抑えたい場合には図10(A)の構造が有効である。

【0153】図10(B)に示した画素マトリクス回路の場合も同様であり、画素TFTのゲート電極13a、13bはどちらもLDD領域14a~14dがゲート電極13a、13bと重なる領域および重ならない領域を有した構造となっている。この場合、第1配線202b、202cはサブゲート配線として機能させないので、ゲート電極13a、13bのみでチャンネル形成領域の電荷が制御される。

【0154】「実施形態2」で説明した画素TFTの構造では、画素TFTが完全なLDD構造として動作するような構造となっている。しかしながら、図10(B)の構造とすることでホットキャリア注入に強い(オン電流の劣化がない又は抑制された)画素TFTを実現することができる。

【0155】なお、本実施例の構造は実施例3のAM-LCDに適用することもできるし、実施例4、5に示した構成とも自由に組み合わせることが可能である。

【0156】〔実施例7〕本実施例ではドライバ回路に用いるCMOS回路において、NTFTのオフ電流を低減するための構造について図11を用いて説明する。

【0157】図11において、NTFTのLDD領域21、22は、実質的に第1配線102aに重なっている部分と重なっていない部分とに区別できる。従って、第1配線102aにゲート電圧が印加された際、図11のNTFTはゲート電極に重なったLDD領域の外側に、ゲート電極に重なっていないLDD領域を有する構造となる。

【0158】このような構造は実施例7でも説明したように、GOLD構造の利点であるオン電流の劣化を防ぐ効果を有し、且つ、GOLD構造の欠点であるオフ電流の増加を抑制した電気特性を得ることができる。従って、非常に優れた信頼性を有するCMOS回路を実現することが可能である。

【0159】また、ここではCMOS回路の場合を例にとって説明したが、本実施例の構造を画素マトリクス回路に適用しても構わない。

【0160】また、本実施例の構造を実現するためには、実施例1の図3(D)に示した工程において裏面露光法を用いなければ良い。即ち、通常のマスク合わせにより第1配線よりも幅の広いレジストマスクを設け、その後、リン(n+)の添加工程を行えば本実施例の構造を容易に得ることができる。

【0161】なお、LDD領域の長さ(ゲート電極に重なっている部分と重なっていない部分の長さ)は実施例7に示した範囲を参考にすれば良い。

【0162】なお、本実施例の構成は実施例3のAM-LCDに適用することもできるし、実施例4~6に示した構成とも自由に組み合わせることが可能である。

【0163】〔実施例8〕本実施例では、実施例1または実施例2に示した活性層を形成するにあたって熱結晶

化以外の手段を用いた場合について説明する。

【0164】具体的には、非晶質半導体膜の結晶化を公知のレーザー結晶化手段により行う例を示す。レーザー光としては代表的にはエキシマレーザー光が用いられるが、アルゴンレーザー光、YAGレーザー光等を用いても良い。

【0165】エキシマレーザー光としては、KrFガス、XeClガス、ArFガス等を冷気ガスとして用いることが知られている。また、本実施例では、このようなエキシマレーザー光をパルス発振により形成し、光学系を通すことで線状に加工して被照射面に照射した。

【0166】なお、本実施例の構成は実施例1乃至実施例7の全ての構成と自由に組み合わせることが可能である。

【0167】〔実施例9〕本実施例は活性層を形成する方法として、実施例1に示した熱結晶化法を用い、そこで用いた触媒元素を結晶質半導体膜から除去する工程を行った例を示す。本実施例ではその方法として、特開平10-135468号公報(米国出願番号08/951,193に対応)または特開平10-135469号公報(米国出願番号08/951,819に対応)に記載された技術を用いる。

【0168】同公報に記載された技術は、非晶質半導体膜の結晶化に用いた触媒元素を結晶化後にハロゲンのゲッターリング作用を用いて除去する技術である。同技術を用いることで、結晶質半導体膜中の触媒元素の濃度を $1 \times 10^{17}$ atoms/cm<sup>3</sup>以下、好ましくは $1 \times 10^{16}$ atoms/cm<sup>3</sup>にまで低減することができる。

【0169】なお、本実施例の構成は実施例1乃至実施例8の全ての構成と自由に組み合わせることが可能である。

【0170】〔実施例10〕本実施例では、実施例1で示したリンによるゲッターリング工程の別形態について説明する。なお、基本的な工程は図1に従うものであるので、相違点のみに着目して説明する。

【0171】まず、実施例1の工程に従って図3(D)の状態を得た。図12(A)は図3(D)の状態からレジストマスク318a~318dを除去した状態を表している。

【0172】この時、NTFTのソース領域319及びドレイン領域320、並びにPTFTのドレイン領域323及びソース領域324には $1 \times 10^{19} \sim 1 \times 10^{21}$ atoms/cm<sup>3</sup>(好ましくは $5 \times 10^{20}$ atoms/cm<sup>3</sup>)の濃度でリンが含まれている。

【0173】本実施例ではこの状態で、窒素雰囲気中で500~800℃、1~24時間、例えば600℃、12時間の加熱処理の工程を行う。この工程により、添加された13族または15族に属する不純物元素を活性化することができた。さらに、結晶化工程の後残存していた触媒元素(本実施例ではニッケル)が矢印の方向に移

動し、前述のソース領域及びドレイン領域に含まれたリンの作用によって同領域にゲッターリング（捕獲）することができた。その結果、チャネル形成領域からニッケルを $1 \times 10^{17}$ atoms/cm<sup>3</sup>以下にまで低減することができた。（図12（B））

【0174】図12（B）の工程が終了したら、以降の工程は実施例1の工程に従えば、図3（E）に示すようなCMOS回路を作製することができる。勿論、同様のことが画素マトリクス回路でも行われることは言うまでもない。

【0175】なお、本実施例の構成は実施例1乃至実施例9の全ての構成と自由に組み合わせることが可能である。

【0176】〔実施例11〕本実施例では実施例1とは異なる工程順でCMOS回路を作製した場合について図13を用いて説明する。なお、リンの代わりに他の15族に属する元素を用いても良いし、ボロンの代わりに他の13族に属する元素を用いても良い。

【0177】まず、実施例1の工程に従って、図3（B）の工程までを終了させた。図13（A）は図3（B）と同じ状態を図示しており、同一の符号を付している。この工程はリン（n<sup>-</sup>）の添加工程であり、低濃度不純物領域311、312が形成された。

【0178】次に、レジストマスク309a、309bを除去した後、裏面露光法を用いてレジストマスク26a、26bを形成した。そして、実施例1と同様の添加条件でリン（n<sup>+</sup>）の添加工程を行い、NTFTのソース領域27、ドレイン領域28、LDD領域29a、29bおよびチャネル形成領域30を形成した。（図13（B））

【0179】次に、レジストマスク26a、26bを除去した後、レジストマスク31a～31dを形成し、タンタル膜310bをエッチングして第2配線32a～32cを形成した。そして、この状態で実施例1の添加条件に従ってボロン（p<sup>++</sup>）の添加工程を行い、PTFTのドレイン領域33、ソース領域34およびチャネル形成領域35を形成した。（図13（C））

【0180】本実施例の場合、ボロンを添加するまではPTFTの活性層にはリンが添加されていないので、ボロンの添加量を最小限に抑えることができる。そのため、製造工程のスループットが向上する。

【0181】こうして図13（C）の工程が終了したら、この後は実施例1の工程に従ってCMOS回路を作製すれば良い。構造としては図3（E）に示した構造が実現されるが、実施例1との違いはPTFTのソース領域およびドレイン領域にリンが含まれていない点である。

【0182】なお、本実施例の作製工程は、実施例1において13族に属する元素または15族に属する元素の添加工程の順序を変えたのみであるから、その他の条件

については実施例1を参考にすれば良い。

【0183】また、本実施例の作製工程はCMOS回路を例にとりて説明しているが、同時に画素マトリクス回路をも形成できることは言うまでもない。

【0184】また、本実施例の構成は実施例4～10の如何なる実施例とも自由に組み合わせることが可能である。

【0185】〔実施例12〕本実施例では「実施形態2」に示した画素マトリクス回路において、保持容量の構造を異なるものとした例を図14に示す。なお、保持容量の構造以外の部分は図2（A）に示した画素マトリクス回路と同じであるので、保持容量の部分のみについて説明する。

【0186】図14では第1配線の材料であるタンタル膜と第1絶縁層の材料である酸化タンタル膜を積層形成して、双方を同一形状にエッチングした。そのため、第1配線35a～35cおよび容量配線36の上に、同一形状で第1絶縁層37a～37cおよび38が形成された。

【0187】この構造を実現するには、酸化タンタル膜とタンタル膜とを選択比を保ちつつエッチングする技術が必要である。本実施例では酸化タンタル膜を弗素系ガスによるドライエッチングにより除去するが、タンタル膜と選択比をある程度確保することができるので、時間制御によりタンタル膜を残すことができる。その後は、ウェットエッチングにより酸化タンタル膜をマスクとしてタンタル膜のみをエッチングすれば良い。

【0188】また、図14では図示されていないが、第1配線（または容量配線）と第1絶縁層とを同一形状でパターニングする際、第1配線（または容量配線）がテーパー形状となるようにエッチングすることは有効である。

【0189】以上のように、本実施例の場合、容量配線36、第1絶縁層（酸化タンタル膜）38および半導体領域39で保持容量が形成される。

【0190】勿論、本実施例は第1配線としてクロム（Cr）、チタン（Ti）、タングステン（W）、モリブデン（Mo）、またはシリコン（Si）から選ばれた元素を主成分とする導電膜、前記元素を組み合わせた合金膜またはシリサイド膜、或いは前記導電膜、合金膜またはシリサイド膜を積層した積層膜を用いる場合においても実施することができる。

【0191】なお、本実施例の構成は、実施例3～11の如何なる実施例とも自由に組み合わせることが可能である。

【0192】〔実施例13〕本実施例では「実施形態2」に示した画素マトリクス回路において、保持容量の構造を異なるものとした例を図15に示す。なお、保持容量の構造以外の部分は図2（A）に示した画素マトリクス回路と同じであるので、保持容量の部分のみについて説明する。

【0193】本実施例では、図4(A)において第1配線401a~401cおよび容量配線402を形成した後、タンタル膜でなる第1配線および容量配線の熱酸化工程を行い、熱酸化により酸化タンタル膜40a~40cおよび41を形成した。そして、この酸化タンタル膜を保持容量の誘電体として用いた。

【0194】熱酸化工程は450~600℃(ガラス基板を用いる際は450~500℃とすることが好ましい)の温度範囲で行うことができる。温度と時間に比例して膜厚は増加するが、その分、第1配線の膜厚も薄くなるため、予めタンタル膜を厚く成膜しておくことが望ましい。

【0195】本実施例を用いた場合、非常に膜質の良い酸化タンタル膜を制御性よく10~50nmといった薄い膜厚で形成できる。誘電体の膜厚が薄いほど保持容量のキャパシティは大きくなるので、非常にキャパシティの大きい(大容量の)保持容量を形成することができる。

【0196】以上のように、本実施例の場合、容量配線402、第1絶縁層(熱酸化により形成された酸化タンタル膜)41および半導体領域42で保持容量が形成される。

【0197】勿論、本実施例は第1配線としてクロム(Cr)、チタン(Ti)、タングステン(W)、モリブデン(Mo)、またはシリコン(Si)から選ばれた元素を主成分とする導電膜、前記元素を組み合わせた合金膜またはシリサイド膜、或いは前記導電膜、合金膜またはシリサイド膜を積層した積層膜を用いる場合においても実施することができる。

【0198】また、熱酸化法によって酸化する代わりに公知の陽極酸化法によって酸化タンタル膜を形成することも可能である。

【0199】なお、本実施例の構成は、実施例3~11の如何なる実施例とも自由に組み合わせることが可能である。

【0200】〔実施例14〕本実施例では第1配線または第2配線の材料としてタンタル膜以外の材料を用いた場合について説明する。説明は図16を用いて行う。なお、本実施例は、実施例9に示したような、700~1150℃といった高い温度での熱処理工程を含む作製工程において特に有効な技術である。

【0201】第1配線は活性層の形成よりも前に形成されているため、活性層を熱酸化するような工程が含まれると、第1配線も高い熱処理が加えられることになる。その時、第1配線を形成する成分元素が酸素と結びつくことで、配線抵抗が増加するといった問題が生じる。本実施例はそのような問題に対する技術である。

【0202】本実施例の場合、図16に示すように基板として耐熱性の高い石英基板45を用いた。勿論、熱酸化膜を設けたシリコン基板や絶縁膜を設けたセラミックス基板等を用いても構わない。

【0203】そして第1配線46a~46cおよび容量配線47の材料としては、タングステンシリサイド(WSi<sub>x</sub>: x=2~25)膜46a1とシリコン(Si)膜46a2とを積層した積層膜を用いた。勿論、この順序は逆でも良いし、シリコン膜でタングステンシリサイド膜を挟んだ三層構造としても構わない。

【0204】なお、第1配線46aのみを説明したが、第1配線46b、46cおよび容量配線47も同様にタングステンシリサイド膜とシリコン膜とを積層した積層膜を用いていることは言うまでもない。

【0205】このような材料を用いることで後に700~1150℃といった高い温度で熱処理工程を行ってもタングステンシリサイド膜46a1の配線抵抗の増加を招くようなことがない。これはタングステンシリサイド膜に含まれる余剰シリコンが優先的に酸素と結合するため、タングステンが酸素と結合するのを防ぐからである。

【0206】なお、タングステンシリサイド膜の代わりに他の金属シリサイド膜、例えばモリブデンシリサイド(MoSi<sub>x</sub>)膜、チタンシリサイド(TiSi<sub>x</sub>)膜、コバルトシリサイド(CoSi<sub>x</sub>)膜、タンタルシリサイド(TaSi<sub>x</sub>)膜等を用いても構わない。

【0207】また、第1配線として単体金属膜(代表的にはタンタル膜、チタン膜、タングステン膜、モリブデン膜)を用いるためには、単体金属膜の上面および/または下面に接してシリコン膜を設ければ良い。こうすることで単体金属膜の酸化を防ぐことができ、配線抵抗の増加を防ぐことができる。

【0208】従って、タンタル膜、タングステン膜といった単体金属膜をシリコン膜で挟んだ三層構造にすれば、本実施例で用いるような高温プロセスにも耐える第1配線を形成することができる。

【0209】なお、本実施例の構成は実施例1~13の如何なる実施例とも自由に組み合わせることが可能である。

【0210】〔実施例15〕本実施例では「実施形態2」に示した画素マトリクス回路において、保持容量の構造を異なるものとした例を図17に示す。なお、保持容量の構造以外の部分は図2(A)に示した画素マトリクス回路と同じであるので、保持容量の部分のみについて説明する。

【0211】本実施例では、まず第1絶縁層50を形成した後、第2絶縁層51、酸化珪素膜52、非晶質珪素膜(図示せず)を大気解放しないで連続的に形成した。そして非晶質珪素膜を結晶化して結晶質珪素膜でなる活性層を形成し、その上を覆って第3絶縁層53を形成した。

【0212】次に、本実施例では、第3絶縁層53を形成した後で、保持容量となる部分(容量配線の上)において第3絶縁層53、酸化珪素膜52、第2絶縁層51

を一括でエッチングし、第1絶縁層50を露呈させた。

【0213】そして、この状態で第2配線54a～54cおよび上部容量配線55を形成した。勿論、第2配線54a～54cと上部容量配線55は同一層である。

【0214】このように、本実施例では容量配線56、第1絶縁層50および上部容量配線55で保持容量を形成している点に特徴がある。ただし、この場合、容量配線56または上部容量配線55のどちらかが、画素電極57と電氣的に接続されていなければならない。

【0215】なお、本実施例の構成は、実施例3～14の如何なる実施例とも自由に組み合わせることが可能である。

【0216】〔実施例16〕本実施例では「実施形態2」に示した画素マトリクス回路において、保持容量の構造を異なるものとした例を示す。なお、保持容量の構造以外の部分は図2(A)に示した画素マトリクス回路と同じであるので、保持容量の部分のみについて説明する。

【0217】図2(A)に示した保持容量の構造において、容量配線203の上方で、第3絶縁層211の上に上部容量配線(図示せず)を形成する。こうすることで容量配線203、第1絶縁層204および半導体領域210で形成される第1保持容量と、半導体領域210、第3絶縁層211および上部容量配線で形成される第2保持容量が並列に接続された状態になる。

【0218】本実施例を実施すれば保持容量を重ねた構造で形成することができるため、小さい面積で大きなキャパシティを確保することが可能である。

【0219】なお、本実施例の構成は、実施例1～実施例14の如何なる実施例とも自由に組み合わせることが可能である。

【0220】〔実施例17〕本実施例では、画素マトリクス回路において保持容量を形成する位置に関する実施例を説明する。説明には図18(A)、(B)を用いる。なお、図18(B)は図18(A)をA-A'で切った断面図を示している。また、図18(A)、(B)の同一箇所には同一の符号を用いる。

【0221】図18(A)において、61は第1配線、62は半導体層、63は第2配線(具体的にはゲート配線)、64a、64bは第3配線(具体的には64aはソース配線、64bはドレイン配線)である。

【0222】第1配線61は第2配線63と第3配線(ソース配線)64aの下方に重なるようにして形成され、網目状(マトリクス状)のパターン形状を有している。即ち、第1配線61全体が同電位(好ましくは最低電源電位)となっている。

【0223】その上に、第1絶縁層65、第2絶縁層66および酸化珪素膜67を介して半導体層62が形成される。なお、保持容量部では第2絶縁層66が除去され、第1配線61、第1絶縁層65、酸化珪素膜67お

よび半導体層62で保持容量が形成されている。

【0224】本実施例では、この保持容量部が第2配線63の下方と第3配線(ソース配線)64aの下方に形成されている点に特徴がある。こうすることで開口率が向上し、明るい画像表示が可能となる。また、保持容量に光が当たるのを防ぐことができるため、保持容量からの電荷の漏れを防ぐことができる。

【0225】なお、本実施例では画素TFTがトリプルゲート構造となるように半導体層をパターンニングしているが、本実施例はこれに限定されるものではない。

【0226】また、本実施例の構成は、実施例3～14の如何なる実施例とも自由に組み合わせることが可能である。

【0227】〔実施例18〕本実施例では、画素マトリクス回路において保持容量を形成する位置に関する実施例を説明する。説明には図19(A)、(B)を用いる。なお、図19(B)は図19(A)をA-A'で切った断面図を示している。また、図19(A)、(B)の同一箇所には同一の符号を用いる。

【0228】図19(A)において、71は第1配線、72は半導体層、73は第2配線(具体的にはゲート配線)、74a、74bは第3配線(具体的には74aはソース配線、74bはドレイン配線)である。

【0229】第1配線71は第2配線73と第3配線(ソース配線)74aの下方に重なるようにして形成され、網目状(マトリクス状)のパターン形状を有している。即ち、第1配線71全体が同電位(好ましくは最低電源電位)となっている。

【0230】その上に、第1絶縁層75、第2絶縁層76および酸化珪素膜77を介して半導体層72が形成される。なお、保持容量部では第2絶縁層76が除去され、第1配線71、第1絶縁層75、酸化珪素膜77および半導体層72で保持容量が形成されている。

【0231】本実施例では、この保持容量部が第2配線73の下方と第3配線(ソース配線)74aの下方に形成されている点に特徴がある。こうすることで開口率が向上し、明るい画像表示が可能となる。また、保持容量に光が当たるのを防ぐことができるため、保持容量からの電荷の漏れを防ぐことができる。

【0232】なお、本実施例では画素TFTがトリプルゲート構造となるように半導体層をパターンニングしているが、本実施例はこれに限定されるものではない。

【0233】また、本実施例の構成は、実施例3～14の如何なる実施例とも自由に組み合わせることが可能である。

【0234】〔実施例19〕本実施例では、画素マトリクス回路において保持容量を形成する位置に関する実施例を説明する。説明には図20を用いる。

【0235】図20において、81は第1配線、82は半導体層、83a、83bは第2配線(具体的にはゲート



配線)、84a、84bは第3配線(具体的には84aはソース配線、84bはドレイン配線)である。

【0236】第1配線81は第2配線83と第3配線(ソース配線)84aの下方に重なるようにして形成され、網目状(マトリクス状)のパターン形状を有している。即ち、第1配線81全体が同電位(好ましくは最低電源電位)となっている。

【0237】その上に、第1絶縁層、第2絶縁層および酸化珪素膜を介して半導体層82が形成される。なお、保持容量部では第2絶縁層が除去され、第1配線81、第1絶縁層、酸化珪素膜および半導体層82で保持容量が形成されている。

【0238】本実施例では、この保持容量部が第2配線83bの下方と第3配線(ソース配線)84aの下方に形成されている点に特徴がある。実施例17、実施例18との違いはゲート配線の下に保持容量を形成するにあたって、選択されていないゲート配線(選択されているゲート配線83aの隣のゲート配線83b)の下方を用いる点である。

【0239】本実施例の場合、ゲート電圧(TFTをオン状態にするためにゲート配線に印加される電圧)が保持容量に印加されないので、第2配線(ゲート配線)と半導体層との間に大きな寄生容量を形成することを防ぐことができる。

【0240】また、このような構造とすることで開口率が向上し、明るい画像表示が可能となる。また、保持容量に光が当たるのを防ぐことができるため、保持容量からの電荷の漏れを防ぐことができる。

【0241】なお、本実施例では画素TFTがトリプルゲート構造となるように半導体層をパターンニングしているが、本実施例はこれに限定されるものではない。

【0242】また、本実施例の構成は、実施例3~14の如何なる実施例とも自由に組み合わせることが可能である。

【0243】〔実施例20〕本実施例では、動作電圧の違いによってドライバ回路(またはその他の信号処理回路)で配置するTFTの構造を異なるものとし、最適な回路設計を行う場合の例を示す。

【0244】図1(A)に示したCMOS回路はAM-LCDのゲートドライバ回路、ソースドライバ回路またはその他の信号処理回路を形成するが、回路によって動作電圧は異なる。例えば、図7においてシフトレジスタ回路702a、703aは動作電圧が5V程度と低く、高速動作を要求される回路であり、バッファ回路702c、703cは動作電圧が16~20Vと高い回路である。

【0245】シフトレジスタ回路の場合、動作電圧が低いのでホットキャリア注入が殆ど問題とならず、GOL構造にしくても大きな問題はない。逆に、第1配線(サブゲート配線)と活性層との間で形成される寄生容

量を排除するためには、第1配線を設けない方が好ましい場合もありうる。ところがバッファ回路の場合、動作電圧が高いのでホットキャリア注入の対策は必須である。そのため、図1(A)に示した構造が有効となる。

【0246】このように同じドライバ回路であっても動作電圧の違いに応じて図1(A)のCMOS回路を用いる回路と、通常のLDD構造のNTFTを有するCMOS回路を用いる回路とが同一基板上に存在する場合がありうる。

【0247】勿論、ドライバ回路以外の信号処理回路(D/Aコンバータ回路、 $\gamma$ 補正回路または信号分割回路など)も動作電圧が低いので通常のLDD構造のNTFTを有するCMOS回路を用いる場合がある。

【0248】なお、本実施例の構成は実施例1~20に示した如何なる実施例とも自由に組み合わせることが可能である。

【0249】〔実施例22〕図1に示したCMOS回路はNTFTのみに第1配線102aが設けられ、PTFTには設けられない構造となっているが、第1配線と同一層の導電層をPTFTの活性層の下に設けることもできる。

【0250】ここでPTFTの活性層の下に設ける導電層は、PTFTの動作に影響を与えない電位(具体的には最低電源電位等)にあるか、フローティング状態に保持される。即ち、完全に遮光層としての機能しか果たさないようになっている。

【0251】また、図2に示した画素マトリクス回路はNTFTで形成されているが、PTFTであっても、活性層の下に遮光層として機能する第1配線を設けることで、画素マトリクス回路を形成することが可能である。

【0252】なお、本実施例の構成は、実施例1~実施例21の如何なる実施例とも自由に組み合わせることが可能である。

【0253】〔実施例23〕本実施例では動作電圧の違いに応じて第1絶縁層および/または第2絶縁層の膜厚を異ならせる場合について説明する。

【0254】図6に示したAM-LCDの場合、画素マトリクス回路607の動作電圧は16Vであるが、ドライバ回路603、604または信号処理回路605では動作電圧が10V以下、さらには5Vの回路もある。

【0255】具体的には図7において、レベルシフト回路702b、703b、バッファ回路702c、703c、サンプリング回路703dは画素マトリクス回路701と同様の動作電圧(16~20V)であるが、シフトレジスタ回路702a、703aまたは信号処理回路(図示せず)は動作電圧が5~10Vと低い。

【0256】このようなシフトレジスタ回路や信号処理回路は高速動作が最も重要なファクターとして考えられるため、ゲート絶縁膜をできるだけ薄くしてTFTの動作速度を上げることが有効である。逆に、バッファ回路

や画素マトリクス回路は高速動作性能がさほど要求されないため、ゲート絶縁膜を厚くして耐圧特性を向上させることが有効である。

【0257】このように動作電圧に応じて回路が要求する仕様が異なる場合、それに応じてゲート絶縁膜の膜厚を異ならせることが有効である。本願発明のNTFTの構造では第1絶縁層と第2絶縁層がゲート絶縁膜として機能しうる絶縁膜であるため、その膜厚を回路に応じて変えることができる。

【0258】例えば、シフトレジスタ回路、信号処理回路（信号分割回路等）のように動作電圧が低く、高速動作が必要な回路は第1絶縁層を厚く（200～400nm）し、第2絶縁層を薄く（10～30nm）することが有効である。なお、第1絶縁層を第2絶縁層並に薄くすると動作速度が向上するが寄生容量が大きくなって周波数特性が悪化するため好ましくない。場合によっては、実施例21のようにシフトレジスタ回路等の場合は第1配線を設けない構造としても良い。

【0259】また、バッファ回路、サンプリング回路または画素マトリクス回路などのように動作電圧が高い場合は、第2絶縁層を100～200nmと厚くして、ゲート絶縁膜としての耐圧特性を高めておくことが望ましい。

【0260】また、画素マトリクス回路では第1配線の影響を極力小さくすることが必要であるため、第1絶縁層の膜厚を200～400nmと厚くしておくこともできる。こうすることで画素TFTに設けられた第1配線を遮光層として機能させることが可能となる。

【0261】以上のように、動作電圧の違う回路に応じてゲート絶縁膜（第1絶縁層および/または第2絶縁層）の膜厚を異ならせることは有効である。

【0262】なお、本実施例の構成は実施例1～22の如何なる実施例とも自由に組み合わせることが可能である。

【0263】〔実施例24〕本実施例では実施例15に示した画素マトリクス回路において、保持容量の構造を異なるものとした例を図21に示す。なお、保持容量の構造以外の部分は図17に示した画素マトリクス回路と同じであるので、保持容量の部分のみについて説明する。

【0264】本実施例は、実施例17とほぼ同様の構造となるが、第3絶縁層を部分的にエッチングしてからの工程が多少異なる。

【0265】本実施例の場合、保持容量部において第3絶縁層53を部分的にエッチングした後、まずアルミニウムを主成分とする導電膜85aを形成した。次に、タンタル膜を形成してパターニングを行い、第2配線54a～54cおよびタンタル膜でなる保護配線85bを形成した。

【0266】このように、本実施例ではアルミニウムを

主成分とする導電膜85aとタンタル膜でなる保護配線85bとで上部容量配線85を形成した。即ち、実施例にはタンタル膜でなる容量配線56、酸化タンタル膜でなる第1絶縁層50およびアルミニウムを主成分とする導電膜85aで保持容量が形成された。タンタル膜でなる保護配線85bも上部容量電極の一部として機能するが、アルミニウムを主成分とする導電膜85aを熱から守る保護膜としても機能する。

【0267】なお、本実施例の構成は、実施例3～14、15、16、20～23の如何なる実施例とも自由に組み合わせることが可能である。

【0268】〔実施例25〕本願発明のTFT構造はAM-LCDのような電気光学装置だけでなく、あらゆる半導体回路に適用することが可能である。即ち、RISCプロセッサ、ASICプロセッサ等のマイクロプロセッサに適用しても良いし、D/Aコンバータ等の信号処理回路から携帯機器（携帯電話、PHS、モバイルコンピュータ）用の高周波回路に適用しても良い。

【0269】さらに、従来のMOSFET上に層間絶縁膜を形成し、その上に本願発明を用いて半導体回路を作製したような三次元構造の半導体装置を実現することも可能である。このように本願発明は現在LSIが用いられている全ての半導体装置に適用することが可能である。即ち、SIMOX、Smart-Cut（SOITEC社の登録商標）、ELTRAN（キャノン株式会社の登録商標）などのSOI構造（単結晶半導体薄膜を用いたTFT構造）に本願発明を適用しても良い。

【0270】また、本実施例の半導体回路は実施例1～24のどのような組み合わせからなる構成を用いても実現することができる。

【0271】〔実施例26〕本願発明を実施して形成されたCMOS回路や画素マトリクス回路は様々な電気光学装置や半導体回路に適用することができる。即ち、それら電気光学装置や半導体回路を部品として組み込んだ電子機器全てに本願発明を実施できる。

【0272】その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター、プロジェクションTV、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図22に示す。

【0273】図22（A）は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示装置2004、操作スイッチ2005、アンテナ2006で構成される。本願発明を音声出力部2002、音声入力部2003、表示装置2004やその他の信号制御回路に適用することができる。

【0274】図22（B）はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、撮

作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明を表示装置2102、音声入力部2103やその他の信号制御回路に適用することができる。

【0275】図22(C)はモバイルコンピュータ(モバイルコンピュータ)であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示装置2205で構成される。本願発明は表示装置2205やその他の信号制御回路に適用できる。

【0276】図22(D)はゴーグル型ディスプレイであり、本体2301、表示装置2302、アーム部2303で構成される。本発明は表示装置2302やその他の信号制御回路に適用することができる。

【0277】図22(E)はリア型プロジェクターであり、本体2401、光源2402、表示装置2403、偏光ビームスプリッタ2404、リフレクター2405、2406、スクリーン2407で構成される。本発明は表示装置2403やその他の信号制御回路に適用することができる。

【0278】図22(F)はフロント型プロジェクターであり、本体2501、光源2502、表示装置2503、光学系2504、スクリーン2505で構成される。本発明は表示装置2502やその他の信号制御回路に適用することができる。

【0279】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1~25のどのような組み合わせからなる構成を用いても実現することができる。

【0280】

【発明の効果】本願発明は同一構造のNTFTを、活性層の下側に設けた第1配線の電圧を制御することでGOLD構造として用いたり、LDD構造として用いたりする点に特徴がある。即ち、工程数を増やしたり煩雑にすることなく、同一基板上にGOLD構造とLDD構造とを実現することができる。

【0281】そのため、AM-LCDやAM-LCDを

表示ディスプレイとして有する電子機器等の半導体装置において、回路が要求する仕様に応じて適切な性能の回路を配置することが可能となり、半導体装置の性能や信頼性を大幅に向上させることができた。

【0282】また、画素マトリクス回路において保持容量の誘電体として酸化タンタル膜等の高誘電率膜を用いることで、小さい面積で大きなキャパシティを有する保持容量を形成することができた。そのため、対角1インチ以下のAM-LCDにおいても開口率を低下させることなく、十分な保持容量を確保することが可能となった。

【図面の簡単な説明】

【図1】 CMOS回路の構造を示す図。

【図2】 画素マトリクス回路の構造を示す図。

【図3】 CMOS回路の作製工程を示す図。

【図4】 画素マトリクス回路の作製工程を示す図。

【図5】 画素マトリクス回路の作製工程を示す図。

【図6】 AM-LCDの外観を示す図。

【図7】 AM-LCDのブロック構成を示す図。

【図8】 CMOS回路または画素マトリクス回路の構造を示す図。

【図9】 CMOS回路または画素マトリクス回路の構造を示す図。

【図10】 CMOS回路または画素マトリクス回路の構造を示す図。

【図11】 CMOS回路の構造を示す図。

【図12】 CMOS回路の作製工程を示す図。

【図13】 CMOS回路の作製工程を示す図。

【図14】 画素マトリクス回路の構造を示す図。

【図15】 画素マトリクス回路の構造を示す図。

【図16】 画素マトリクス回路の構造を示す図。

【図17】 画素マトリクス回路の構造を示す図。

【図18】 画素マトリクス回路の構造を示す図。

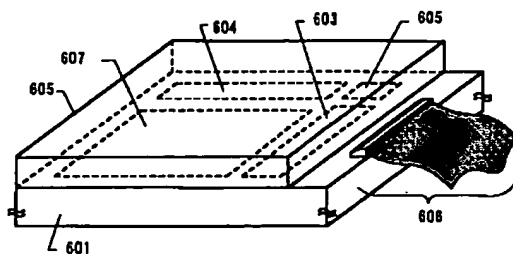
【図19】 画素マトリクス回路の構造を示す図。

【図20】 画素マトリクス回路の構造を示す図。

【図21】 画素マトリクス回路の構造を示す図。

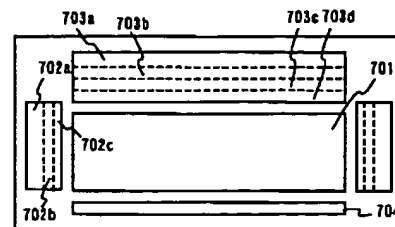
【図22】 電子機器の一例を示す図。

【図6】



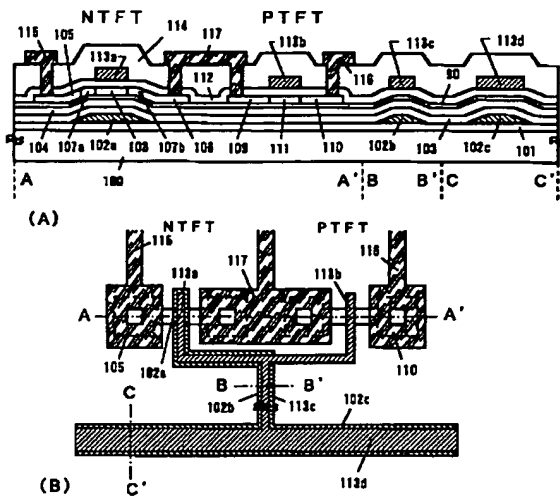
601: 絶縁表面を有する基板 602: 画素マトリクス回路  
603: ソースドレイン回路 604: ゲイトドレイン回路  
605: 信号処理回路 606: FPC 607: 対向基板

【図7】



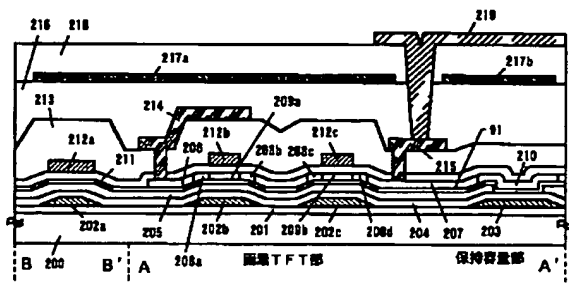
701: 画素マトリクス回路 702a, 703a: シフトレジスタ回路  
702b, 703b: 垂直シフト回路 702c, 703c: 水平シフト回路  
703d: シフトレジスタ回路 704: デライタ回路

【図1】

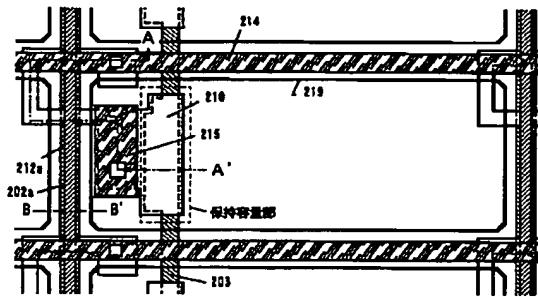


100:基板 101:下地膜 102a, 102b, 102c:第1配線 103:第1絶縁層  
 104:第2絶縁層 105:ノリ領域 (NTFT) 106:ノリ領域 (NTFT)  
 107a, 107b:低誘電率材料領域 108:ノリ領域 (NTFT) 109:ノリ領域 (PTFT)  
 110:ノリ領域 (PTFT) 111:ノリ領域 (PTFT) 112:第2絶縁層  
 113a, 113b, 113c, 113d:第2配線 114:第1層間絶縁層 115:ノリ領域 (NTFT)  
 116:ノリ領域 (PTFT) 117:ノリ領域 (NTFTとPTFTに共通)

【図2】



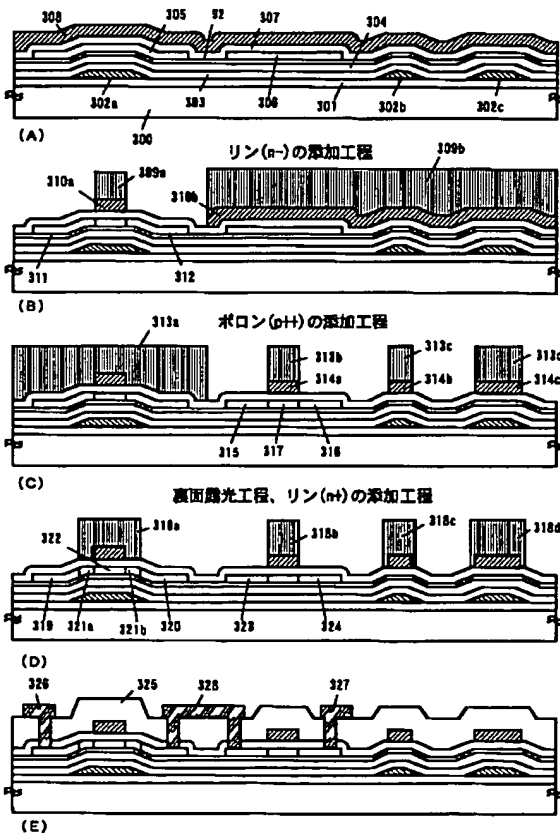
(A)



(B)

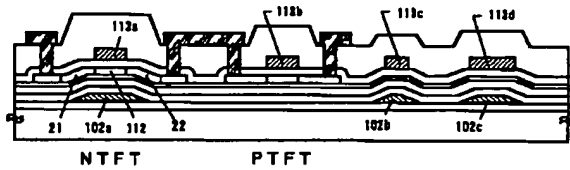
200:基板 201:下地膜 202a, 202b, 202c:第1配線 203:容量配線  
 204:第1絶縁層 (100Å) 205:第2絶縁層 206:酸化硅素膜 207:ノリ領域  
 208:ノリ領域 209a~209d:低誘電率材料領域 210a, 210b, 210c:第2配線  
 211:容量用不純物領域 212:第3絶縁層 212a, 212b, 212c:第2配線  
 213:第1層間絶縁層 214:ノリ領域 215:ノリ領域 216:第2層間絶縁層  
 217a, 217b:ノリ領域 218:第3層間絶縁層 219:容量電極

【図3】

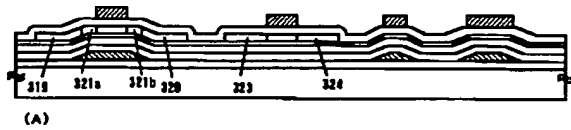


(D)

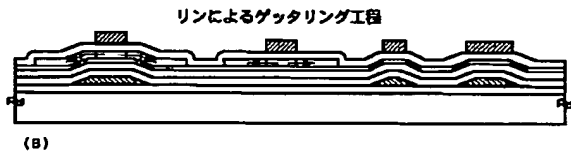
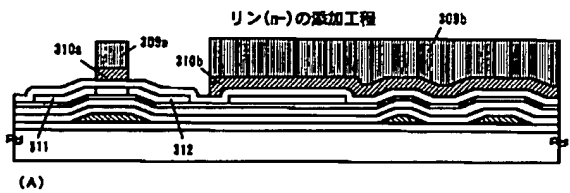
【図11】



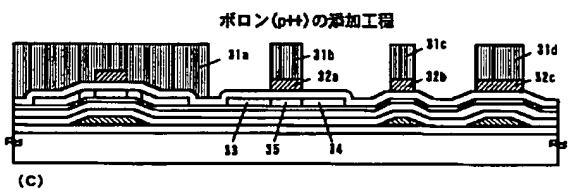
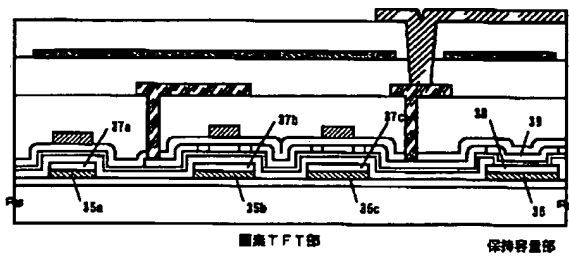
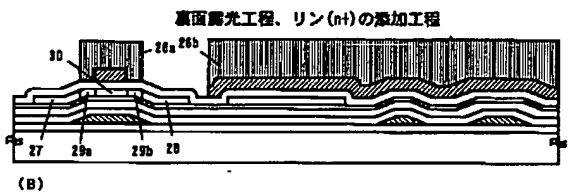
【図12】



【図13】

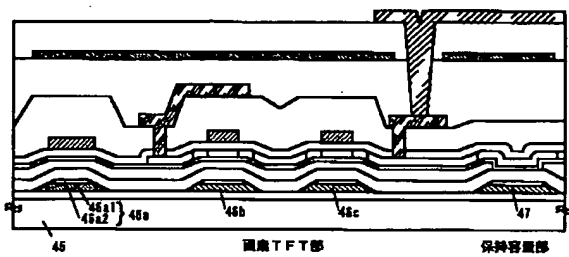
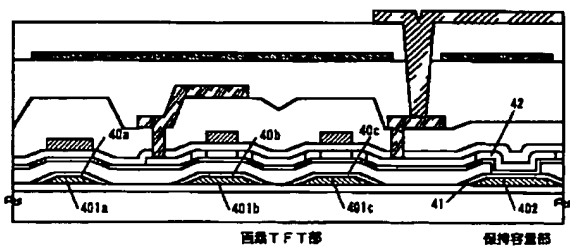


【図14】



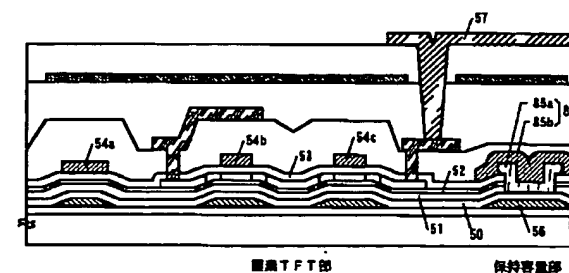
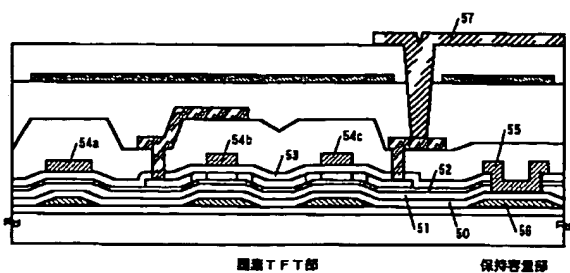
【図16】

【図15】

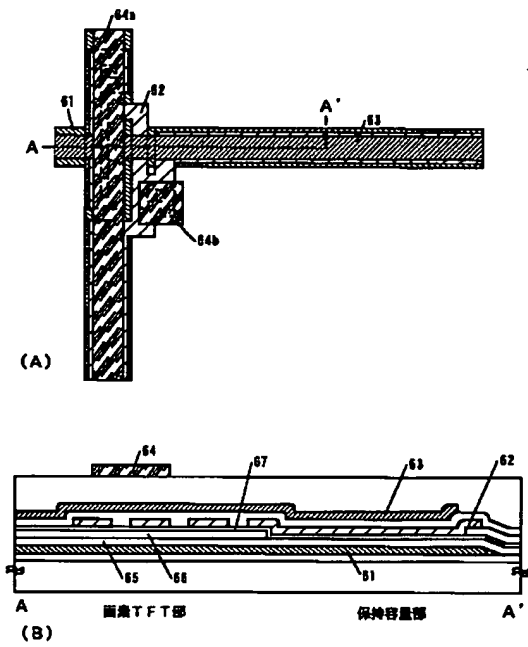


【図21】

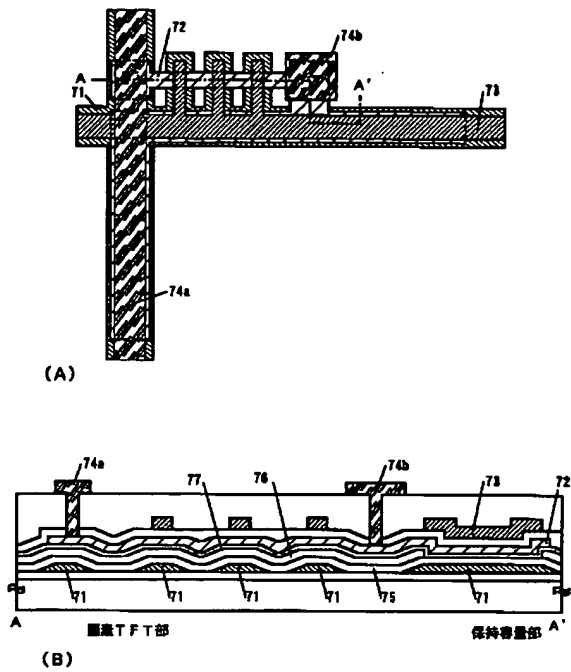
【図17】



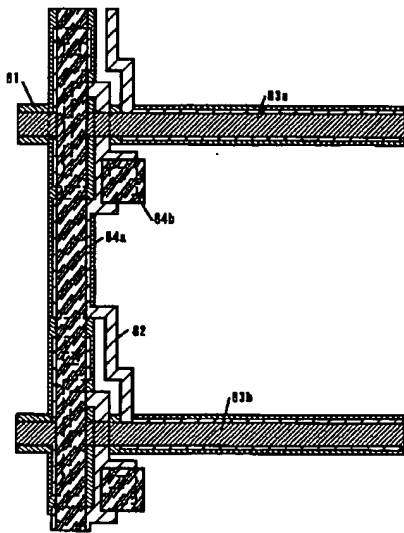
【図18】



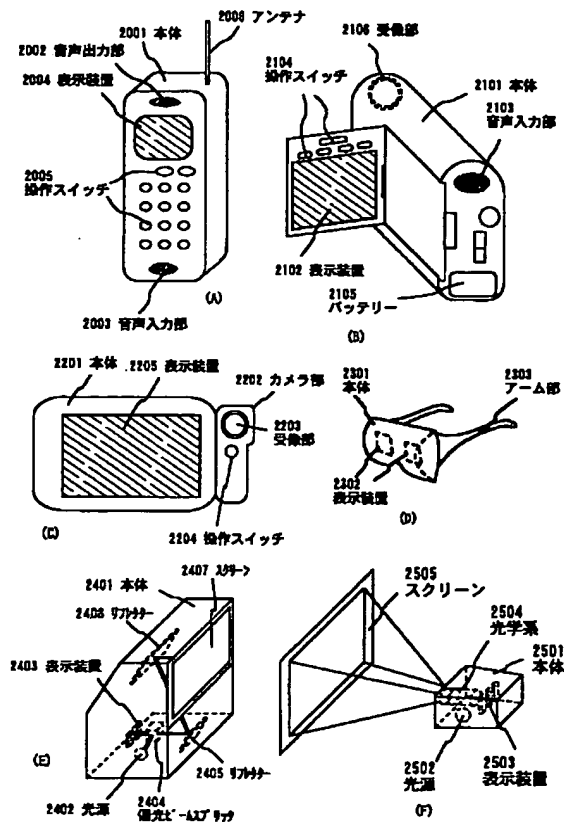
【図19】



【図20】



【図22】



## フロントページの続き

(72)発明者	池田 隆之	Fターム(参考)	2H092 GA17 GA25 GA34 JA24 JA34
	神奈川県厚木市長谷398番地 株式会社半		JA46 JB69 KA10 KB03 KB25
	導体エネルギー研究所内		KB28 MA05 MA08 MA09 MA12
(72)発明者	柴田 寛		MA29 MA30 NA21 NA25 NA27
	神奈川県厚木市長谷398番地 株式会社半		PA01 PA06 RA05
	導体エネルギー研究所内	5F110	AA06 AA08 AA12 AA13 AA18
(72)発明者	北角 英人		BB02 BB04 BB20 CC02 DD01
	神奈川県厚木市長谷398番地 株式会社半		DD02 DD03 DD05 DD12 DD13
	導体エネルギー研究所内		DD14 DD15 DD24 EE04 EE05
(72)発明者	福永 健司		EE06 EE08 EE23 EE28 EE30
	神奈川県厚木市長谷398番地 株式会社半		EE44 EE45 FF02 FF03 FF04
	導体エネルギー研究所内		FF10 FF21 FF23 FF24 FF30
			GG01 GG02 GG13 GG14 GG25
			GG42 GG52 HJ01 HJ04 HJ12
			HJ23 HL03 HL04 HL06 HL12
			HL23 HM13 HM15 HM20 NN03
			NN04 NN22 NN23 NN24 NN27
			NN35 NN42 NN44 NN46 NN47
			NN73 PP03 PP23 PP24 PP34
			QQ09 QQ12 QQ19 QQ28